

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-040990

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

G09G 3/30  
G09F 9/30  
G09G 3/20  
H05B 33/08  
H05B 33/14

(21)Application number : 2001-142827

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 14.05.2001

(72)Inventor : TANADA YOSHIFUMI

(30)Priority

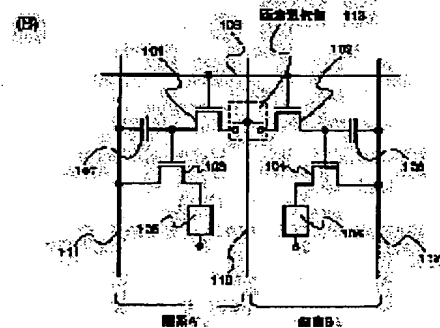
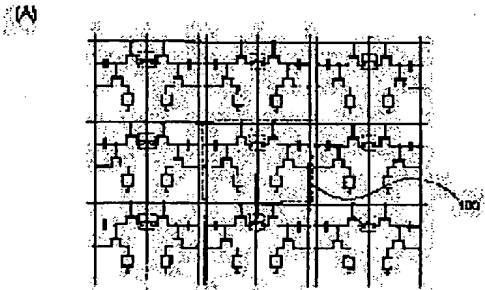
Priority number : 2000145853 Priority date : 18.05.2000 Priority country : JP

## (54) ELECTRONIC DEVICE AND METHOD FOR DRIVING DEVICE THEREFOR

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an electro-optical device permitting to reduce the number of stages of source signal line driving circuits to a half of the number of horizontal pixels using pixels having a new structure while a pixel part is made high-definition, permitting to arrange the pixels with a margin, and contribute to a high opening rate.

**SOLUTION:** One horizontal period is split into a 1st half and a 2nd half periods; signals for two adjacent pixels are sequentially inputted to one source signal line; and the signal is written by selecting each one pixel during the 1st half or the 2nd half of the one horizontal period by a pixel selection part arranged between the adjacent two pixels. Since one source signal line can be shared between adjacent two pixels, this is advantageous for an opening ratio.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] It has a source signal-line side drive circuit, a gate signal line side drive circuit, a pixel selection-signal line side drive circuit, and a picture element part. Said picture element part It has m source signal lines, k gate signal lines, and the pixel of 2km individual, and said m source signal lines have the k pixel selection sections, respectively. Each of said m source signal lines It connects with 2k pixels electrically through the pixel selection section. The pixel of said 2km individual, respectively The transistor for switching, It has a transistor for EL drive, and an EL element. The gate electrode of said transistor for switching It connects with said gate signal line electrically. The impurity range of said transistor for switching It connects with the gate electrode of said transistor for EL drive electrically. While one side is electrically connected with a source signal line and remaining, the impurity range of said transistor for EL drive One side is an electronic instrument characterized by connecting with a current supply source line electrically, remaining, while connecting with one electrode of an EL element electrically.

[Claim 2] It has a source signal-line side drive circuit, a gate signal line side drive circuit, a pixel selection-signal line side drive circuit, and a picture element part. Said picture element part It has m source signal lines, k gate signal lines, and the pixel of 2km individual. The pixel of said 2km individual, respectively The transistor for switching, It has a transistor for EL drive, and an EL element. The gate electrode of said transistor for switching It connects with said gate signal line electrically. The impurity range of said transistor for switching Connect with a source signal line electrically through the pixel selection section, and one side remains, while is electrically connected with the gate electrode of said transistor for EL drive. For one side, the impurity range of said transistor for EL drive is an electronic instrument characterized by connecting with a current supply source line electrically, remaining, while connecting with one electrode of an EL element electrically.

[Claim 3] It is the electronic instrument characterized by said source signal-line side drive circuit performing two write-in actuation of a video signal to each m source signal lines in claim 1 or an electronic instrument according to claim 2 at 1 level period.

[Claim 4] In an electronic instrument given in any 1 term of claim 1 thru/or claim 3 in said one pixel selection section The 1st pixel and 2nd pixel are connected electrically. Said pixel selection section The video signal which chooses the 1st pixel in the period in the first half of 1 level period, chooses the 2nd pixel in the period in the second half of 1 level period, and is inputted from a source signal line is an electronic instrument characterized by being written only in the pixel of the side chosen by said pixel selection section.

[Claim 5] It is the electronic instrument characterized by said pixel selection section having an N channel mold transistor and a P channel mold transistor in an electronic instrument given in any 1 term of claim 1 thru/or claim 4.

[Claim 6] It is the electronic instrument characterized by said pixel selection section having an analog switch in an electronic instrument given in any 1 term of claim 1 thru/or claim 4.

[Claim 7] An one-frame period n subframe periods SF1 and SF2, ..., It has SFn. Said subframe period, respectively The address (writing) periods Ta1 and Ta2, ..., In the drive approach of an electronic instrument of performing a n-bit gradation display by having Tsn and controlling the luminescence time amount of an EL element Tan, the sustain (lighting) periods Ts1 and Ts2, and ... When the horizontal number of pixels of said electronic instrument is 2m piece, 1 level period is divided at two periods. The drive approach of the electronic instrument characterized by the thing for which the writing of the video signal to a pixel (2, 4, ..., 2m-2, and 2m position) is performed while the writing of the video signal to 1, 3, ..., 2m-3 or 2m-1 pixel is performed in one period and remaining in a period.

[Claim 8] It is the drive approach of the electronic instrument characterized by being 1, 3, ..., the period when the writing of the video signal to 2m-3 or 2m-1 pixel is performed in the drive approach of an electronic instrument according to claim 7 in the first half of 1 level period, and being 2, 4, ..., 2m-2, and the period when the writing of the video signal to a 2m position pixel is performed in the second half of 1 level period.

[Claim 9] It is the drive approach of the electronic instrument characterized by being 1, 3, ..., the period when the writing of the video signal to 2m-3 or 2m-1 pixel is performed in the drive approach of an electronic instrument according to claim 7 in the second half of 1 level period, and being 2, 4, ..., 2m-2, and the period when the writing of the video signal to a 2m position pixel is performed in the first half of 1 level period.

[Claim 10] The EL display characterized by using the electronic instrument of a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 11] The cellular phone characterized by using the electronic instrument of a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 12] The car audio characterized by using the electronic instrument of a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 13] The digital camera characterized by using the electronic instrument of a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 14] The EL display characterized by using the drive approach of the electronic instrument a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 15] The cellular phone characterized by using the drive approach of the electronic instrument a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 16] The car audio characterized by using the drive approach of the electronic instrument a publication for any 1 term of claim 1 thru/or claim 6.

[Claim 17] The digital camera characterized by using the drive approach of the electronic instrument a publication for any 1 term of claim 1 thru/or claim 6.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the configuration of an electronic instrument. Especially this invention relates to the drive approach of the active-matrix mold electronic instrument which has the thin film transistor (TFT) created on an insulator, and a active-matrix mold electronic instrument.

[0002]

[Description of the Prior Art] In recent years, as a flat-panel display replaced with LCD (liquid crystal display), EL (electroluminescence) display attracts attention and active research is done.

[0003] It roughly divided into LCD as a drive method, and there were two types of it. One was a passive matrix mold used for STN-LCD etc., and another was a active-matrix mold used for TFT-LCD etc. In an EL display, similarly, it roughly divides and there are two kinds of drive methods. A passive matrix mold and another of one are active-matrix molds.

[0004] In the case of the passive matrix mold, wiring which becomes the upper part and the lower part of an EL element with an electrode is arranged. And an electrical potential difference is applied to the wiring in order, and the light is made to switch on by passing a current to an EL element. On the other hand, in the case of a active-matrix mold, it has TFT in each pixel, and it can hold a signal now within each pixel.

[0005] Drawing 21 is the example of a configuration of the active-matrix mold electronic instrument by digital drive. The picture element part 2101 is arranged in the center. Around the picture element part 2101, the gate signal line side drive circuit 2106 for controlling the source signal-line side drive circuit 2102 and gate signal line for controlling a source signal line is arranged. In drawing 21, although the gate signal line side drive circuit 2106 is arranged only at one side of a picture element part 2101, it is more desirable [ the circuit ] in an actual drive to arrange on both sides of a gate signal line, as a picture element part 2101 is pinched in respect of dependability of operation and effectiveness. Moreover, the power supply section (Supply) for supplying a current to an EL element is connected to each current supply source line of a picture element part 2101.

[0006] An EL element has the layer (it is hereafter described as EL layer) containing the organic compound with which electroluminescence (Electro Luminescence: luminescence generated by adding electric field) is acquired, an anode plate, and cathode. Although the luminescence in an organic compound has luminescence (phosphorescence) at the time of returning from luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and a triplet excitation state to a ground state, this invention is applicable also to the electronic instrument which used which luminescence.

[0007] In addition, on these specifications, all the layers prepared between an anode plate and cathode are defined as EL layer. A luminous layer, a hole injection layer, an electronic injection layer, an electron hole transportation layer, an electron transport layer, etc. are concretely contained in EL layer. The EL element has fundamentally the structure where the laminating of an anode plate / luminous layer / the cathode was carried out to order, and, in addition to this structure, it may have the structure which carried out the laminating to order, such as an anode plate / hole injection layer / luminous layer / cathode, and an anode plate / hole injection layer / luminous layer / electron transport layer / cathode.

[0008] Moreover, in this specification, the component formed in an anode plate, EL layer, and cathode is called an EL element.

[0009] The source signal-line side drive circuit 2102 has a shift register 2103, the 1st latch circuit 2104, and the 2nd latch circuit 2105. A source side clock signal (S-CLK) and a source side start pulse (S-SP) are inputted into a shift register 2103, a digital video signal (Digital Data) is inputted into the 1st latch circuit 2104, and a latch pulse (Latch Pulse) is inputted into the 2nd latch circuit 2105.

[0010] The gate signal line side drive circuit 2106 has a shift register (not shown). A gate side clock signal (G-CLK) and a gate side start pulse (G-SP) are inputted into a shift register.

[0011] The drive of a circuit is explained. The number given to drawing 21 is used for explanation.

[0012] In the source signal-line side drive circuit 2102, a source side clock signal (S-CLK) and a source side start pulse (S-SP) are inputted into a shift register 2103. A shift register 2103 outputs a pulse one by one based on these input signals. The pulse by which a sequential output is carried out from a shift register is inputted into the 1st latch circuit 2104 via a buffer (not shown) etc., and carries out sequential maintenance (latch) of the digital video signal (Digital Data) in each stage. After maintenance of data is completed in the last stage of the 1st latch circuit 2104, a latch pulse (Latch Pulse) is inputted into the 2nd latch circuit 2105, and the data currently held at the 1st latch

circuit 2104 are transmitted to it all at once via a buffer (not shown) etc. at the 2nd latch circuit 2105.

[0013] In the gate signal line side drive circuit 2106, a gate side clock signal (G-CLK) and a gate side start pulse (G-SP) are inputted into a shift register (not shown). Based on these input signals, a shift register outputs a pulse one by one, is outputted as a gate signal line selection pulse via a buffer (not shown) etc., and chooses the gate signal line one by one.

[0014] The data transmitted to the 2nd latch circuit 2105 of the source signal-line side drive circuit 2102 are written in the pixel of the line chosen by the gate signal line selection pulse. The display of an image is made by repeating this actuation.

[0015] Then, the drive of a picture element part is explained. A part of picture element part 2101 of drawing 21 is shown in drawing 22. Drawing 22 (A) shows the 3x3-pixel matrix. The part surrounded by the dotted-line frame 2200 is 1 pixel, and the enlarged drawing is shown in drawing 22 (B). In drawing 22 (B), 2201 is TFT (henceforth TFT for switching) which functions as a switching element when writing a signal in a pixel. Which polarity of an N channel mold or a P channel mold may be used for this TFT2201 for switching. 2202 is TFT (henceforth TFT for EL drive) which functions as a component (current controlling element) for controlling the current supplied to EL element 2203. In using a P channel mold for TFT2202 for EL drive, it arranges between the anode plate 2209 of EL element 2203, and the current supply source line 2207. It is also possible to use an N channel mold for TFT2202 for EL drive, and to arrange between the cathode 2210 of EL element 2203 and the cathode electrode 2208 as the another configuration approach. However, as actuation of TFT, using the P channel mold, the method which arranges TFT2202 for EL drive between the anode plate 2209 of EL element 2203 and the current supply source line 2207 is common to TFT2202 for EL drive, and are adopted as it from the constraint on that a grounded source is good and manufacture of EL element 2203 etc. [ many ] 2204 is the retention volume for holding the signal (electrical potential difference) inputted from the source signal line 2206. Wiring of dedication may be used although one terminal of the retention volume 2204 in drawing 22 (B) is connected to the current supply source line 2207. The gate electrode of TFT2201 for switching is connected to the gate signal line 2205, and the source field is connected to the source signal line 2206.

[0016] Next, with reference to this drawing 22, actuation of the circuit of a active-matrix mold electronic instrument is explained. First, if the gate signal line 2205 is chosen, an electrical potential difference will be impressed to the gate electrode of TFT2201 for switching, and TFT2201 for switching will be in switch-on. Then, the signal (electrical potential difference) of the source signal line 2206 is accumulated in retention volume 2204. Since the electrical potential difference of retention volume 2204 turns into the electrical potential difference VGS between the gate sources of TFT2202 for EL drive, the current according to the electrical potential difference of retention volume 2204 flows to TFT2202 for EL drive, and EL element 2203. Consequently, EL element 2203 lights up.

[0017] The flowing amount of currents can control the brightness 2203 of EL element 2203, i.e., an EL element, by VGS of TFT2202 for EL drive. VGS is the electrical potential difference of retention volume 2204, and it is a signal (electrical potential difference) inputted into the source signal line 2206. That is, the brightness of EL element 2203 is controlled by controlling the signal (electrical potential difference) inputted into the source signal line 2206. Finally, the gate signal line 2205 is changed into the condition of not choosing, the gate of TFT2201 for switching is closed, and TFT2201 for switching is made into non-switch-on. The charge accumulated in retention volume 2204 is then held. Therefore, VGS of TFT2202 for EL drive is held as it is, and the current according to VGS continues flowing to EL element 2203 via TFT2202 for EL drive.

[0018] It is related with the drive of an EL element etc. and is SID99 Digest : P372 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT", ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver", Euro Display99 Late News : P27 : It is reported to "3.8 Green OLED with Low Temperature Poly-Si TFT" etc.

[0019]

[Problem(s) to be Solved by the Invention] In recent years, as for the EL display, the big-screen-izing, and a list and the further high-definition-izing are called for. However, there is a trouble of pressing the arrangement tooth space of a drive circuit, by reducing a pixel pitch that a part for a picture element part should be made highly minute. When it is got blocked, for example, is referred to as XGA from VGA in the panel of the same size, the horizontal number of pixels increases from 640 pixels to 1024 pixels. At this time, width of face of 1 pixel is set to 62.5 [%], and will also reduce the arrangement width of face for one step of a source signal-line side drive circuit to 62.5 [%].

[0020] In order to solve the above-mentioned problem, the further contraction of a drive circuit is needed, but if a design rule, the dependability of circuit actuation, the point of the yield, etc. are taken into consideration, it will be hard to call it an easy solution.

[0021] Therefore, let it be a technical problem to offer the possible electronic instrument of the further highly-minute-izing in this invention, avoiding the problem of the arrangement tooth space of the drive circuit mentioned above using the pixel which has new structure.

[0022]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, the following means were provided in this invention.

[0023] The usual pixel had one source signal line 2206 per pixel, one gate signal line 2205, and one current supply source line 2207, as shown in drawing 22 (B). As shown in drawing 1, the pixel in the electronic instrument of this invention has one source signal line 110 between 2 pixels which adjoined, and shares it between Pixel A and Pixel B.

However, if it remains as it is, only the always same picture signal can be written in Pixel A and Pixel B. Therefore, the pixel selection section 113 is formed and it lets the picture signal inputted into the source signal line 110 pass to either TFT101 for switching of Pixel A, or TFT102 for switching of Pixel B. If the drive approach is explained briefly, 1 level period will be divided at the period of the first half and the second half, and the writing to Pixel A will be completed in the period of the first half. Then, in the period of the second half, the procedure of completing the writing to Pixel B is taken.

[0024] By considering as such structure, since the number of stages of a source signal-line side drive circuit can be made into one half of the number of stages (it is not this limitation when it has a dummy stage by the configuration of a drive circuit) of the horizontal number of pixels, also when a pixel pitch contracts by highly minute-ization, arrangement of a drive circuit is attained easily.

[0025] Below, the configuration of the electronic instrument of this invention is indicated.

[0026] The electronic instrument of this invention according to claim 1 has a source signal-line side drive circuit, a gate signal line side drive circuit, a pixel selection-signal line side drive circuit, and a picture element part. Said picture element part It has m source signal lines, k gate signal lines, and the pixel of 2km individual, and said m source signal lines have the k pixel selection sections, respectively. Each of said m source signal lines It connects with 2k pixels electrically through the pixel selection section. The pixel of said 2km individual, respectively The transistor for switching, It has a transistor for EL drive, and an EL element. The gate electrode of said transistor for switching It connects with said gate signal line electrically. The impurity range of said transistor for switching It connects with the gate electrode of said transistor for EL drive electrically. While one side is electrically connected with a source signal line and remaining, the impurity range of said transistor for EL drive It is characterized by connecting with a current supply source line electrically, and for one side remaining, while connecting it with one electrode of an EL element electrically.

[0027] The electronic instrument of this invention according to claim 2 has a source signal-line side drive circuit, a gate signal line side drive circuit, a pixel selection-signal line side drive circuit, and a picture element part. Said picture element part It has m source signal lines, k gate signal lines, and the pixel of 2km individual. The pixel of said 2km individual, respectively The transistor for switching, It has a transistor for EL drive, and an EL element. The gate electrode of said transistor for switching It connects with said gate signal line electrically. The impurity range of said transistor for switching Connect with a source signal line electrically through the pixel selection section, and one side remains, while is electrically connected with the gate electrode of said transistor for EL drive. The impurity range of said transistor for EL drive is characterized by connecting with a current supply source line electrically, and for one side remaining, while connecting it with one electrode of an EL element electrically.

[0028] The electronic instrument of this invention according to claim 3 is characterized by said source signal-line side drive circuit performing two write-in actuation of a video signal to each m source signal lines at 1 level period in claim 1 or claim 2.

[0029] The electronic instrument of this invention according to claim 4 is set to claim 1 or claim 2. In said one pixel selection section The 1st pixel and 2nd pixel are connected electrically. Said pixel selection section The video signal which chooses the 1st pixel in the period in the first half of 1 level period, chooses the 2nd pixel in the period in the second half of 1 level period, and is inputted from a source signal line is characterized by being written only in the pixel of the side chosen by said pixel selection section.

[0030] The electronic instrument of this invention according to claim 5 is characterized by said pixel selection section having an N channel mold transistor and a P channel mold transistor in claim 1 or claim 2.

[0031] The electronic instrument of this invention according to claim 6 is characterized by said pixel selection section having an analog switch in claim 1 or claim 2.

[0032] The drive approach of the electronic instrument of this invention according to claim 7 An one-frame period n subframe periods SF1 and SF2, ..., It has SFn. Said subframe period, respectively The address (writing) periods Ta1 and Ta2, ..., In the drive approach of an electronic instrument of performing a n-bit gradation display by having Tsn and controlling the luminescence time amount of an EL element Tan, the sustain (lighting) periods Ts1 and Ts2, and ... When the horizontal number of pixels of said electronic instrument is 2m piece, 1 level period is divided at two periods. It is characterized by the thing for which the writing of the video signal to a pixel (2, 4, ..., 2m-2, and 2m position) is performed in a period while the writing of the video signal to 1, 3, ..., 2m-3 or 2m - the 1st pixel is performed in one period and remaining.

[0033] It is the period when, as for the drive approach of the electronic instrument of this invention according to claim 8, the writing of the video signal to 1, 3, ..., 2m-3 or 2m - the 1st pixel is performed in claim 7 in the first half of 1 level period, and 2, 4, ..., 2m-2, and the period when the writing of the video signal to a 2m position pixel is performed are characterized by being in the second half of 1 level period.

[0034] It is the period when, as for the drive approach of the electronic instrument of this invention according to claim 9, the writing of the video signal to 1, 3, ..., 2m-3 or 2m - the 1st pixel is performed in claim 7 in the second half of 1 level period, and 2, 4, ..., 2m-2, and the period when the writing of the video signal to a 2m position pixel is performed are characterized by being in the first half of 1 level period.

[0035]

[Embodiment of the Invention] Below, the operation gestalt of this invention is described.

[0036] The main configurations of this invention are shown in drawing 1. Among drawing 1 (A), the part shown by the dotted-line frame is expanded to drawing 1 (B), and is shown.

[0037] In the pixel which the electronic instrument of this invention has, the description is in the point that two

pixels are connected to one source signal line 110. It is written as the pixel A which has 1st TFT101 for switching, 1st TFT103 for EL drive, 1st EL element 105, and the 1st retention volume 107 for two pixels, respectively, and the pixel B which has 2nd TFT102 for switching, 2nd TFT104 for EL drive, 2nd EL element 106, and the 2nd retention volume 108. The pixel selection section 113 has the function which outputs the picture signal inputted from a source signal line only to 1st TFT101 for switching of Pixel A, or 2nd TFT102 for switching of Pixel B. 1st TFT101 for switching and 2nd TFT102 for switching do not care about the polarity with an N channel mold or a P channel mold as mentioned above. Moreover, the polarity of 1st TFT103 for EL drive and 2nd TFT104 for EL drive should just determine the polarity according to the structure of an EL element as mentioned above.

[0038] Here, the electronic instrument which has a  $m \times k$  pixel has  $m/2$  source signal line and  $k$  gate signal lines, and 2 pixels which adjoins on both sides of a source signal line are electrically connected with a source signal line through the pixel selection section. Since there are  $k$  gate signal lines, the number of the pixels connected with per source signal line is  $2 \times (\text{part for number of gate signal line}) = 2k$  pieces.

[0039] The pixel selection section 113 located in a line with the longitudinal direction operates uniformly altogether. That is, in drawing 1 (A), in a certain gate signal line selection period, if a signal is first inputted into the pixel selection section 113 in the first half, writing will be performed to Pixel A, if it becomes in the second half, a signal will be again inputted into the pixel selection section, and writing will be performed to Pixel B. Therefore, a source signal-line side drive circuit performs writing to Pixel A, writing to Pixel B, and two write-in actuation within 1 level period.

[0040] Drawing 2 (A) shows the source signal-line side drive circuit of the usual electronic instrument, and one line of a picture element part. The source signal-line side drive circuit 200 makes one unit the part which has the shift register for controlling one source signal line, the 1st latch circuit, and the 2nd latch circuit, and has the structure where two or more steps of it are repeated. That is, when the horizontal number of pixels is  $m$  pixels, the number of stages of a source signal-line side drive circuit is equal to the number of pixels, and has  $m$  steps. In drawing 2 (A), the width of face which can arrange the circuit for one step of a source signal-line side drive circuit is the width of face shown by D1. Therefore, since a pixel pitch becomes narrow by increasing the number of pixels, without being accompanied by modification of panel size and D1 becomes small inevitably, arrangement of a drive circuit becomes difficult.

[0041] Drawing 2 (B) shows the source signal-line side drive circuit of the electronic instrument of this invention, and one line of a picture element part. The source signal-line side drive circuit 210 makes one unit the part which has the shift register for controlling one source signal line, the 1st latch circuit, and the 2nd latch circuit, and has the structure where two or more steps of it are repeated. Since the pixel which has the structure of this invention is sharing one source signal line when the horizontal number of pixels is  $n$  pixels, the circuit of drawing 2 (B) has  $m/2$  source signal line. Therefore, although the number of pixels is equal to drawing 2 (A), the number of stages of a drive circuit can be made into  $m/2$  step. At this time, the width of face which can arrange the circuit for one step of a source signal-line side drive circuit is the width of face shown by D2 in drawing 2 (B). Also when the pixel pitch was equal in both drawing 2 (A) and (B) and a pixel pitch becomes narrow by highly minute-ization since D2 is twice [ about ] D1, arrangement of a drive circuit is easy.

[0042] An actual drive is described using a timing chart. As the drive approach, it explains taking the case of the case where a gradation expression is performed, by the approach which combined the digital gradation method and the time amount gradation method. First, the drive approach in the electronic instrument using the pixel of the conventional configuration is described. [0043] Drawing 3 is a timing chart in the case of displaying an image with 4-bit ( $2^4 = 16$ ) gradation and frame frequency 60 [Hz] in the electronic instrument which has the number of pixels of the level  $m \times n$  perpendicular  $n$ . Order is explained later on. In this case, drawing of a screen is performed 60 times in 1 second. The period which draws one screen once is an one-frame period. ( Drawing 3 (A) )

[0044] An one-frame period is divided at two or more subframe periods. This is for performing a gradation expression using the sum of the lighting time amount of an EL element, and in order to perform a  $k$ -bit gradation expression, it requires  $k$  subframe periods. Here, since it is 4-bit gradation, it is divided at four subframe periods of SF1-SF4. Each subframe period has an address (writing) period and a sustain (lighting) period. Since an address (writing) period is a period which writes in the signal for one screen, the die length of all the address (writing) periods Ta1-Ta4 is equal. About a sustain (lighting) period, it is referred to as Ts1:Ts2:Ts3:Ts4=23:22:21:20=8:4:2:1, and gradation is expressed by which sustain (lighting) period is made to turn on an EL element. In addition, not related, even if sequence is random, it does not care about the sequence of this subframe period. ( Drawing 3 (B) )

[0045] In an address (writing) period, a gate signal line is chosen sequentially from the 1st line, and the digital video signal inputted from a source signal line one by one is written in a pixel. It writes 1 level period [ the selection period per gate signal line of one line ]. After selection to a last line is completed, it shifts to a sustain (lighting) period and an EL element lights up. ( Drawing 3 (C) )

[0046] In 1 level period, as mentioned above, a source signal-line side drive circuit operates, and a digital video signal is held. In a dot-data sampling period, in the 1st latch circuit which received the pulse from a shift register, after maintenance of a digital video signal is carried out and the latch for horizontal direction 1 train ends, in the Rhine data latch period, a digital video signal is transmitted to the 2nd latch circuit from the 1st latch circuit. ( Drawing 3 (D) )

[0047] The above is the drive approach by the approach which combined the digital gradation method and the time amount gradation method. Then, the case where it drives by the same approach in the electronic instrument of this invention is explained.

[0048] Drawing 4 is a timing chart in the case of displaying an image like drawing 3 in the electronic instrument which has the number of pixels of the level  $m \times n$  perpendicular  $n$  with 4-bit ( $2^4 = 16$ ) gradation and frame frequency 60 [Hz]. Order is explained later on. In this case, drawing of a screen is performed 60 times in 1 second. The period which draws one screen once is an one-frame period. ( Drawing 4 (A))

[0049] An one-frame period is divided at two or more subframe periods. Here, since it is 4-bit gradation, it is divided at four subframe periods of SF1-SF4. Each subframe period has an address (writing) period and a sustain (lighting) period. Since an address (writing) period is a period which writes in the signal for one screen, the die length of all the address (writing) periods Ta1-Ta4 is equal. About a sustain (lighting) period, it is referred to as Ts1:Ts2:Ts3:Ts4=23:22:21:20=8:4:2:1, and gradation is expressed by which sustain (lighting) period is made to turn on an EL element. In addition, not related, even if sequence is random, it does not care about the sequence of this subframe period. ( Drawing 4 (B))

[0050] In an address (writing) period, a gate signal line is chosen sequentially from the 1st line, and the digital video signal inputted from a source signal line one by one is written in a pixel. It writes 1 level period [ the selection period per gate signal line of one line ]. After selection to a last line is completed, it shifts to a sustain (lighting) period and an EL element lights up. About the drive approach so far and timing, it is the same as that of usual. ( Drawing 4 (C))

[0051] The electronic instrument of this invention is with the first half of 1 level period, and the second half, and writes a signal in two different pixels connected to one source signal line. It sets in the first half of 1 level period at a dot-data sampling period about 1, 3, 5 and ... which were chosen by the pixel selection section,  $m-3$ , and the  $m-1$ st pixels (it corresponds to the pixel A shown in drawing 1 ). In the 1st latch circuit which received the pulse from a shift register, after maintenance of a digital video signal is carried out and the latch for the horizontal direction of one line ends about Pixel A, in the Rhine data latch period, the data transfer from the 1st latch circuit to the 2nd latch circuit is carried out. It sets in the second half of 1 level period at a dot-data sampling period about 2, 4, 6 and ... which were chosen by the pixel selection section,  $m-2$ , and the  $m$ -th pixel (it corresponds to the pixel B shown in drawing 1 ). After maintenance of a digital video signal is carried out and the latch for the horizontal direction of one line ends about Pixel B in the 1st latch circuit which received the pulse from a shift register, it sets at the Rhine data latch period. A digital video signal is transmitted to the 2nd latch circuit from the 1st latch circuit. ( Drawing 4 (D))

[0052] Usually, when it has  $m$  pixels horizontally, although the source signal-line side drive circuit had  $m$  steps, it can be made into  $m/2$  step by using the configuration of this invention. Moreover, in order for there to be no need of pulling up clock frequency etc., it is satisfactory also in respect of dependability. Therefore, the problem on a circuit design of pressure of the arrangement tooth space of a drive circuit etc. is avoidable with narrow-width-ization of the pixel pitch by highly-minute-izing of a screen.

[0053]

[Example] The example of this invention is described below.

[0054] [Example 1] drawing 5 shows the example of circuitry of the electronic instrument of this invention. The picture element part 501 is arranged in the center. Around the picture element part 501, the pixel selection-signal line side drive circuit 507 for controlling the gate signal line side drive circuit 506 and the pixel selection section for controlling the source signal-line side drive circuit 502 for controlling a source signal line and a gate signal line is arranged. Moreover, the power supply section (Supply) for supplying a current to an EL element is connected to each current supply source line of a picture element part 501.

[0055] What expanded a part of picture element part 501 in drawing 5 is shown in drawing 6 (A). Drawing 6 (A) shows the  $6 \times 3$ -pixel matrix. The part surrounded by the dotted-line frame 600 is one unit, and 2 pixels is contained. The enlarged drawing is shown in drawing 6 (B).

[0056] The pixel A which has 1st TFT601 for switching, 1st TFT603 for EL drive, 1st EL element 605, and the 1st retention volume 607, and the pixel B which has 2nd TFT602 for switching, 2nd TFT604 for EL drive, 2nd EL element 606, and the 2nd retention volume 608 are arranged at the right-and-left both sides of the source signal line 610. In this example, the example which used the P channel mold TFT is shown in TFT 603 and 604 for EL drive at TFT 601 and 602 for switching using the N channel mold TFT. The pixel selection section 613 consists of this examples using the N channel mold TFT615, the P channel mold TFT616, and the pixel selection-signal line 614, by inputting Hi signal or LO signal into a pixel selection-signal line, the N channel mold TFT615 or the P channel mold TFT616 flows, and the signal from the source signal line 610 is written in Pixel A or Pixel B.

[0057] An actual drive is explained with reference to drawing 6 and the timing chart shown in drawing 7 . In drawing 7 (A), the one-frame period is divided at four subframe periods for a 4-bit gradation expression. Drawing 7 (B) shows the potential of the gate signal line 609 and the pixel selection-signal line 614 about one certain subframe period in drawing 7 (A).

[0058] First, the gate signal line of the 1st line is chosen (701). Hi signal is inputted into the pixel selection-signal line 614 (702), and the N channel mold TFT615 flows in the first half of this 1 level period. Therefore, the writing of a signal is performed only to Pixel A side in the meantime (705). Then, in LO signal being inputted into the pixel selection-signal line 614, the N channel mold TFT615 which had flowed previously will be in non-switch-on, and, instead, the P channel mold TFT616 flows through it in the second half of 1 level period. Therefore, the writing of a signal is performed only to Pixel B side in the meantime (706).

[0059] If the gate signal line of a last line is chosen soon (703) and the writing of the signal in a last line is completed, the address (writing) period of the subframe period will expire, and lighting of EL elements 605 and 606 will start in a sustain (lighting) period. A sustain (lighting) period is the next address (writing) period, and it continues



until the gate signal line of the 1st line is chosen again (710). An image is displayed by performing the above actuation in all subframe periods.

[0060] According to the structure shown in drawing 6 (A), it is easily applicable also to the electronic instrument for color displays which has a pixel corresponding to R, G, and B color. Each pixel presupposes that R, G, and B which are given beside the EL element are supported. In each color of R, G, and B, an EL element needs to give different potential to each current supply source lines 630, 640, 650, 660, 670, and 680, in order to obtain the same brightness, since the electrical-potential-difference-brightness properties differ. Specifically on the current supply source lines 630 and 660, the potential corresponding to B for the potential corresponding to G for the potential corresponding to R is given to the current supply source lines 650 and 680 at the current supply source lines 640 and 670. What is necessary is to input the signal of R and G into the source signal line 635, to input the signal of B and R into the source signal line 645, and just to input the signal of G and B into the source signal line 655.

[0061] Moreover, although it is carrying out by using the N channel mold TFT and the P channel mold TFT in this example in case selection with Pixel A and Pixel B is performed Carry out and a gate signal line is arranged [ 2 ]. very good in the configuration which has allowances in arrangement and which will perform same actuation using an analog switch etc. if it becomes — It flows through TFT for switching by the side of Pixel A at the time of selection of the 1st gate signal line, and you may make it flow through TFT for switching by the side of Pixel B at the time of selection of the 2nd gate signal line.

[0062] By the [example 2] time amount gradation method, as shown in drawing 8 (A), after the writing for one screen is completed, a sustain (lighting) period starts in each subframe period. That is, the address (writing) period and the sustain (lighting) period are separated completely.

[0063] The merit of this method is in the point that the die length of a sustain (lighting) period can be decided, regardless of the die length of an address (writing) period. With a time amount gradation method, it is  $T_{s1}:T_{s2}$  about the die length of a sustain (lighting) period. : ... :  $T_{sn}=2(n-1):2(n-2)$  : ... A gradation expression is performed by controlling the die length of lighting time amount as :1. That is, in order to attain multi-tone-ization, with the die length of an one-frame period fixed, it is necessary to shorten the sustain (lighting) period of a smallest unit more. Also in this case, the die length of a sustain (lighting) period can be decided easily.

[0064] On the other hand, as a demerit, in order to turn on neither of the pixels in a screen in an address (writing) period, there is a point that duty ratio (ratio of the sum total die length of all sustain (lighting) periods to the die length of an one-frame period) falls. As mentioned above, while the die length of a sustain (lighting) period can be decided freely, when the number of address (writing) periods increases by multi-tone-ization, there is nothing besides pulling up the clock frequency of a drive circuit and shortening the address (writing) period itself to make duty ratio fall further and solve this, and a limitation is shown in attaining multi-tone-ization by this method in fact. Moreover, in other lines (field shown by 801), while the gate signal line is chosen in a certain line, since writing and lighting will be performed, the point that futility increases is also mentioned within a frame period.

[0065] Then, as shown in drawing 8 (B), a drive method with which a part of address (writing) period and sustain (lighting) period overlap is held. According to this method, the gate signal line of the k-th line is chosen, for example, and shortly after the writing of the signal to a pixel is completed, the EL element of the k-th line enters at a sustain (lighting) period. And a sustain (lighting) period continues until the gate signal line of the k-th line is chosen next. That is, in the period when the gate signal line of the k-th line is chosen, I hear that not all the EL element of the lines except the k-th line is in a sustain (lighting) period, and there is. Therefore, since duty ratio can be made high, it is an effective method also in case multi-tone-ization is attained.

[0066] However, since two or more gate signal lines which are different in coincidence will be chosen when the address (writing) periods of a different subframe overlap, a video signal cannot be written in normally. Therefore, it is necessary to make the smallest unit of the die length of a sustain (lighting) period at least longer than a period (802) after selection of a gate signal line of the 1st line is completed until selection of the gate signal line of a last line is completed by method like drawing 8 (B).

[0067] With reference to drawing 6 and the timing chart shown in drawing 9, the actual drive by the method shown by drawing 8 (B) is explained. In drawing 9 (A), the one-frame period is divided at four subframe periods for a 4-bit gradation expression. Drawing 9 (B) shows the potential of the gate signal line 609 and the pixel selection-signal line 614 about one certain subframe period in drawing 9 (A).

[0068] First, the gate signal line of the 1st line is chosen (901). Hi signal is inputted into the pixel selection-signal line 614 (902), and the N channel mold TFT615 flows in the first half of this 1 level period. Therefore, the writing of a signal is performed only to Pixel A side in the meantime (905). Then, in LO signal being inputted into the pixel selection-signal line 614, the N channel mold TFT615 which had flowed previously will be in non-switch-on, and, instead, the P channel mold TFT616 flows through it in the second half of 1 level period. Therefore, the writing of a signal is performed only to Pixel B side in the meantime (907). Here, when the writing of a signal is performed to Pixel B, Pixel A is already contained at the sustain (lighting) period (906). If the writing of a signal ends Pixel B, it will enter immediately at a sustain (lighting) period (908).

[0069] The above actuation is repeated for every selection of the gate signal line of each line, the writing to Pixel A and Pixel B is performed in a last line in the first half and the second half of 1 level period, respectively (909,911), and an address (writing) period is ended. For example, the sustain (lighting) period in the pixel A of the k-th line is the next address (writing) period, the gate signal line of the k-th line is chosen again, and until just before the writing of the signal to Pixel A starts in the first half (915), it continues. An image is displayed by performing the above actuation in all subframe periods.

[0070] As it became clear by the explanation so far, in the period when the gate signal line of the k-th line is chosen, all the pixels currently controlled by the gate signal line except the k-th line are contained at the sustain (lighting) period. Furthermore, when the writing of a signal is then performed to Pixel A in the k-th line in the first half of 1 level period, Pixel B is still in a sustain (lighting) period, and when the writing of a signal is performed to Pixel B in the second half of 1 level period, Pixel A is contained at the sustain (lighting) period. Therefore, compared with the timing explained in the example 1, duty ratio can be sharply made high.

[0071] According to the structure shown in drawing 6 (A), it is easily applicable also to the electronic instrument for color displays which has a pixel corresponding to R, G, and B3 color. Each pixel presupposes that R, G, and B which were given beside the EL element are supported. In each color of R, G, and B, an EL element needs to give different potential to each current supply source lines 630, 640, 650, 660, 670, and 680, in order to obtain the same brightness, since the electrical-potential-difference-brightness properties differ. Specifically on the current supply source lines 630 and 660, the potential corresponding to B for the potential corresponding to G for the potential corresponding to R is given to the current supply source lines 650 and 680 at the current supply source lines 640 and 670. What is necessary is to input the signal of R and G into the source signal line 635, to input the signal of B and R into the source signal line 645, and just to input the signal of G and B into the source signal line 655.

[0072] Since the electrical-potential-difference-brightness property for every luminescent color of an EL element is not [ in the case of the electronic instrument for a [example 3] gray shade display ] related unlike the electronic instrument for color displays, as shown in drawing 10 (A) and (B), sharing between the adjoining pixels can make easy the current supply source lines 1030, 1040, 1050, and 1060. It can be said that it is a means especially the electronic instrument of cause [ although the point that a pixel pitch becomes narrow by highly minute-ization is made into the starting point of a technical problem, if a pixel pitch becomes narrow / naturally / decline in a numerical aperture ] of this invention is clear, and very effective [ sharing a current supply source line and decreasing a wiring number, as this example showed ], and easy.

[0073] The [example 4] example 2 explained that the smallest unit die length of a sustain (lighting) period has a limit, and its reason about the timing which does not separate an address (writing) period and a sustain (lighting) period completely. This example explains the solution approach and an actual drive.

[0074] drawing 11 (A) — drawing 8 (B) — the same — although it is a timing chart in the case of performing a 4-bit gradation display, since the die length of Ts4 is shorter than the smallest unit die length mentioned above, address (writing) period Ta1' in SF1 of the address (writing) period Ta 4 and the next frame period overlaps in the period shown by 1101. In this period, since two or more different gate signal lines will be chosen as coincidence and the same signal is written in a pixel, the display of a normal image is no longer performed.

[0075] Then, as shown in drawing 11 (B), the non-display period 1102 is compulsorily established after termination of a sustain (lighting) period in the part to which duplication of an address (writing) period takes place. Regardless of the signal written in the pixel, in this non-display period 1102, an EL element puts out the light. By doing in this way, it is avoidable that two or more address (writing) periods overlap.

[0076] Then, how to establish the non-display period shown by drawing 11 (B) is explained. First, how to establish a non-display period is explained. It does not need a special circuit, in establishing a non-display period by the approach explained here. Therefore, even if it is the usual pixel even if it was the pixel which applied this invention as shown in drawing 6 and drawing 10, as shown in drawing 22, it can carry out. Here, it explains using drawing 12 (A) and (B).

[0077] Drawing 12 (A) is the circuit diagram of the TFT circumference for EL drive. Luminescence of EL element 1205 is made because a current flows to EL element 1205. This current flows because the potential difference (it will write the electrical potential difference [ this potential difference ] between source drains from now on) is between the source field of TFT1202 for EL drive, and a drain field, i.e., the potential difference is between the current supply source line 1201 and the cathode wiring 1206. Therefore, in the usual sustain (lighting) period, the potential of the cathode wiring 1206 is low to the potential of the current supply source line 1201. Then, in a non-display period, the potential of this cathode wiring 1206 is pulled up to the potential and same electric potential of the current supply source line 1201. By this actuation, the electrical potential difference between source drains of TFT1202 for EL drive is set to 0, and a current will not flow to EL element 1205 and it is switched off to it.

( Drawing 12 (B) ) During this non-display period, the signal written in a pixel can be made to switch off EL element 1205 compulsorily not related.

[0078] Drawing 13 shows the potential of the gate signal line, the pixel selection-signal line, and cathode wiring in the case of performing a 4-bit gradation display to timing as shown in drawing 11 (B). Since the sustain (lighting) period Ts4 of SF4 which is a subframe for the least significant bit is shorter than Ta4, a non-display period (it will be written as a clear period from now on) is established, and duplication of an address (writing) period is avoided. The sustain (lighting) period which the sustain (lighting) period shown as the continuous line is a thing about Pixel A to which writing is performed in the first half of 1 level period among drawing 13, and is shown with the broken line is a thing about Pixel B to which writing is performed in the second half of 1 level period.

[0079] Since SF1-SF3 can be normally driven by the approach as mentioned above, they omit explanation here. In SF4, the writing to Pixel A is made in the first half of 1 level period, and it enters immediately at the sustain (lighting) period Ts4. Then, the writing to Pixel B is made in the second half of 1 level period, and it enters immediately at the sustain (lighting) period Ts4. The clear period Tc 4 is established to the timing which Ts4 ends. By raising the potential of cathode wiring and considering as the potential and same electric potential of a current supply source line, the electrical potential difference between source drains of TFT for EL drive is set to 0, and an

EL element puts out the light. Then, this clear period is continued until the address (writing) period in SF4 expires completely.

[0080] By the above drive approaches, since the sustain (lighting) period which was mentioned above is short, even if it is the timing which an address (writing) period overlaps, the display of a normal image is attained by the usual drive approach. Thereby, the further multi-tone-ization is realizable.

[0081] Moreover, to the timing shown in drawing 13, since the timing of initiation of the clear period Tc 4 in Pixel A and Pixel B is simultaneous, it turns out that the sustain (lighting) period of Pixel B is short slightly. In order to avoid this, cathode wiring is made into two lines, and it is easily avoidable if the timing which raises the potential of cathode wiring is shifted by Pixel A and Pixel B.

[0082] Moreover, in order to set the electrical potential difference between source drains of TFT for EL drive to 0, potential of 1206 of cathode wiring may be considered as immobilization, and the approach of changing the potential of the current supply source line 1201 may be used. In the usual sustain (lighting) period, the potential of the current supply source line 1201 is high (low) rather than the potential of the cathode wiring 1206, and, specifically, a current flows to an EL element. In a non-display period, potential of the current supply source line 1201 is made low (highly), and it considers as the potential and same electric potential of cathode wiring. Like the above-mentioned approach, a current will not flow to an EL element and the light is put out to it by this.

[0083] [Example 5] this example explains how to produce to coincidence TFT of the picture element part of the electronic instrument of this invention, and the drive circuit section (a source signal-line side drive circuit, a gate signal line side drive circuit, pixel selection-signal line side drive circuit) prepared around it. However, in order to simplify explanation, suppose that the CMOS circuit which is a basic component circuit is illustrated about the drive circuit section.

[0084] First, as shown in drawing 14 (A), the substrate film 5002 which consists of insulator layers, such as an oxidation silicon film, a silicon nitride film, or an oxidation silicon nitride film, is formed on the substrate 5001 which consists of glass, such as barium borosilicate glass represented by #7059 glass of Corning, Inc., #1737 glass, etc., or aluminoborosilicate glass. For example, 10-200 [nm] (preferably 50-100 [nm]) formation of SiH<sub>4</sub>, NH<sub>3</sub>, and the oxidation silicon nitride film 5002a produced from N<sub>2</sub>O is carried out by the plasma-CVD method, and laminating formation of the oxidation nitriding hydrogenation silicon film 5002b similarly produced from SiH<sub>4</sub> and N<sub>2</sub>O is carried out at the thickness of 50-200 [nm] (preferably 100-150 [nm]). Although this example showed the substrate film 5002 as two-layer structure, you may form as structure which carried out the laminating the monolayer of said insulator layer, or more than two-layer.

[0085] The island-shape semi-conductor layers 5003-5006 are formed by the crystalline substance semi-conductor film which produced the semi-conductor film which has amorphous structure using the laser crystallizing method or the well-known heat crystallizing method. The thickness of these island-shape semi-conductor layers 5003-5006 is formed by the thickness of 25-80 [nm] (preferably 30-60 [nm]). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably.

[0086] In order to produce the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO<sub>4</sub> laser are used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes \*\*\*\* selection, the conditions of crystallization are made into the pulse oscillation frequency 30 [Hz] when using an excimer laser, and set a laser energy consistency to 100-400 [mJ/cm<sup>2</sup>] (typically 200-300 [mJ/cm<sup>2</sup>]). Moreover, it is good to consider as the pulse oscillation frequencies 1-10 [kHz] using the 2nd higher harmonic, in using an YAG laser, and to set a laser energy consistency to 300-600 [mJ/cm<sup>2</sup>] (typically 350-500 [mJ/cm<sup>2</sup>]). and width of face 100-1000 [μm], for example, the laser light which condensed to the line by 400 [μm], — the whole substrate surface — crossing — irradiating — the line at this time — the rate of superposition of laser light (rate of overlap) is performed as 80-98 [%].

[0087] Subsequently, wrap gate dielectric film 5007 is formed for the island-shape semi-conductor layers 5003-5006. Gate dielectric film 5007 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40-150 [nm], and contains silicon. At this example, it forms with an oxidation silicon nitride film by the thickness of 120 [nm]. Of course, gate dielectric film is not limited to such an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure. For example, when using an oxidation silicon film, TEOS (Tetraethyl Orthosilicate) and O<sub>2</sub> can be mixed by the plasma-CVD method, and it can consider as reaction pressure 40 [Pa] and the substrate temperature 300-400 [°C], it can be made to be able to discharge by the RF (13.56 [MHz]) and power flux density 0.5-0.8 [W/cm<sup>2</sup>], and can form. Thus, the oxidation silicon film produced can acquire a property good as gate dielectric film by heat annealing of 400-500 [°C] after that.

[0088] And the 1st electric conduction film 5008 for forming a gate electrode on gate dielectric film 5007 and the 2nd electric conduction film 5009 are formed. In this example, the 1st electric conduction film 5008 is formed in the thickness of 50-100 [nm] by Ta, and the 2nd electric conduction film 5009 is formed in the thickness of 100-300 [nm] by W.

[0089] By the spatter, Ta film is formed by carrying out the spatter of the target of Ta by Ar. In this case, if Xe and Kr of optimum dose are added to Ar, the internal stress of Ta film can be eased and exfoliation of the film can be prevented. Moreover, although the resistivity of Ta film of alpha phase is 20 [μΩ·cm] extent and it can be used

for a gate electrode, the resistivity of Ta film of a parent phase is unsuitable for being 180 [muomegacm] extent and considering as a gate electrode. In order to form Ta film of alpha phase, if tantalum nitride with the crystal structure near alpha phase of Ta is formed in the substrate of Ta by the thickness of 10-50 [nm] extent, Ta film of alpha phase can be obtained easily.

[0090] In forming W film, it forms W by the spatter used as the target. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF<sub>6</sub>). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, carrying out to below 20 [muomegacm] is desirable. In W, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. From this, when based on a spatter, resistivity 9-20 [muomegacm] can be realized using W target of purity 99.9999 [%] by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0091] In addition, in this example, although Ta and the 2nd electric conduction film 5009 were set to W for the 1st electric conduction film 5008, it is not limited especially but the element with which all were chosen from Ta, W, Ti, Mo, aluminum, Cu, etc., or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystal silicon film which doped impurity elements, such as Lynn, may be used. As a desirable thing, with an example of other combination other than this example Form the 1st electric conduction film 5008 by tantalum nitride (TaN), and set the 2nd electric conduction film 5009 to W, and it is combined. The 1st electric conduction film 5008 is formed by tantalum nitride (TaN), it combines, the 1st electric conduction film 5008 is formed by tantalum nitride (TaN), and the combination for which the 2nd electric conduction film 5009 is set to aluminum and which sets the 2nd electric conduction film 5009 to Cu is mentioned.

[0092] Next, 1st etching processing for forming the mask 5010 by the resist and forming an electrode and wiring is performed. In this example, it carries out by mixing CF<sub>4</sub> and Cl<sub>2</sub> in the gas for etching, supplying RF (13.56 [MHz]) power of 500 [W] to the electrode of a coil mold by the pressure of 1 [Pa] using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method, and generating the plasma. RF (13.56 [MHz]) power of 100 [W] is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. When CF<sub>4</sub> and Cl<sub>2</sub> are mixed, W film and Ta film are etched to the same extent.

[0093] On the above-mentioned etching conditions, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration by having been suitable in the configuration of the mask by the resist according to the effectiveness of the bias voltage impressed to a substrate side. The include angle of the taper section becomes 15-45 degrees. In order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at a rate of 10-20 [%] extent. Since the selection ratios of an oxidation silicon nitride film to W film are 2-4 (typically 3), 20-50 [nm] extent etching of the field which the oxidation silicon nitride film exposed will be carried out by over etching processing. In this way, the conductive layers 5011-5016 (the 1st conductive layers 5011a-5016a and 2nd conductive layer 5011b-5016b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. At this time, the field which 20-50 [nm] extent etching of the field which is not covered by the conductive layers 5011-5016 of the 1st configuration was carried out, and became thin is formed in gate dielectric film 5007. ( Drawing 14 (A))

[0094] And the impurity element which performs 1st doping processing and gives N type is added. What is necessary is just to perform the approach of doping with the ion doping method or ion-implantation. The conditions of the ion doping method set a dose to 1x10<sup>13</sup> to 5x10<sup>14</sup> [atoms/cm<sup>2</sup>], and perform acceleration voltage as 60-100 [keV], the element which belongs to 15 groups as an impurity element which gives N type — typical — Lynn — although (P) or arsenic (As) is used — here — Lynn — (P) is used. In this case, it becomes a mask to the impurity element with which conductive layers 5011-5015 give N type, and the 1st impurity range 5017-5025 is formed in self align. In the 1st impurity range 5017-5025, the impurity element which gives N type by the density range of 1x10<sup>20</sup> to 1x10<sup>21</sup> [atoms/cm<sup>3</sup>] is added. ( Drawing 14 (B))

[0095] Next, as shown in drawing 14 (C), a resist mask performs 2nd etching processing, not removed. CF<sub>4</sub>, and Cl<sub>2</sub> and O<sub>2</sub> are used for etching gas, and W film is etched alternatively. At this time, the conductive layers 5026-5031 (the 1st conductive layers 5026a-5031a and 2nd conductive layer 5026b-5031b) of the 2nd configuration are formed by 2nd etching processing. At this time, the field which 20-50 [nm] extent etching of the field which is not covered by the conductive layers 5026-5031 of the 2nd configuration was carried out at the pan, and became thin is formed in gate dielectric film 5007.

[0096] The etching reaction by the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub> of W film or Ta film can be guessed from the vapor pressure of the radical or ion kind generated, and a resultant. If the vapor pressure of the fluoride of W and Ta and a chloride is compared, WF<sub>6</sub> which is the fluoride of W is extremely high, and WCl<sub>5</sub>, TaF<sub>5</sub>, and TaCl<sub>5</sub> of others have it. [ comparable ] Therefore, W film and Ta film are etched in the mixed gas of CF<sub>4</sub> and Cl<sub>2</sub>. However, if O<sub>2</sub> of optimum dose is added to this mixed gas, CF<sub>4</sub> and O<sub>2</sub> will react, it will be set to CO and F, and F radical or F ion will be generated so much. Consequently, the etch rate of W film with the high vapor pressure of a fluoride increases. On the other hand, even if, as for Ta, F increases, there are few increments in an etch rate relatively. Moreover, since Ta tends to oxidize as compared with W, the front face of Ta oxidizes by adding O<sub>2</sub>. In order that the oxide of Ta may react neither with a fluorine nor chlorine, the etch rate of Ta film falls further. Therefore, it becomes possible to become possible to make a difference to the etch rate of W film and Ta film, and to make the etch rate of W film larger than Ta film.

[0097] And as shown in drawing 15 (A), 2nd doping processing is performed. In this case, the impurity element which lowers a dose and gives N type as conditions for high acceleration voltage rather than the 1st doping processing is doped. For example, a new impurity range is formed inside the 1st impurity range which set acceleration voltage to 70–120 [keV], carried out with the dose of  $1 \times 10^{13}$  [atoms/cm<sup>2</sup>], and was formed in the island-shape semi-conductor layer by drawing 14 (B). Doping uses the conductive layers 5026–5030 of the 2nd configuration as a mask to an impurity element, and it dopes them so that an impurity element may be added by the field of the 1st conductive layers [ 5026 ]–5030a bottom. In this way, the 3rd impurity range 5032–5036 is formed. The concentration of Lynn (P) added by this 3rd impurity range 5032–5036 has the loose concentration gradient according to the thickness of the taper section of the 1st conductive layer 5026a–5030a. In addition, in the semi-conductor layer which laps with the taper section of the 1st conductive layer 5026a–5030a, although high impurity concentration is low a little toward the edge of the taper section of the 1st conductive layer 5026a–5030a to the inside, it is almost comparable concentration.

[0098] As shown in drawing 15 (B), 3rd etching processing is performed. CHF<sub>6</sub> is used for etching gas and it carries out using a reactive-ion-etching method (the RIE method). The field where the taper section of the 1st conductive layer 5026a–5031a is etched partially, and the 1st conductive layer laps with a semi-conductor layer by 3rd etching processing is reduced. By 3rd etching processing, the conductive layers 5037–5042 (the 1st conductive layers 5037a–5042a and 2nd conductive layer 5037b–5042b) of the 3rd configuration are formed. At this time, the field which 20–50 [nm] extent etching of the field which is not covered by the conductive layers 5037–5042 of the 3rd configuration was carried out at the pan, and became thin is formed in gate dielectric film 5007.

[0099] The 2nd impurity range 5032b–5036b between the 3rd impurity range 5032a–5036a which laps with the 1st conductive layer 5037a–5041a in the 3rd impurity range 5032–5036 by 3rd etching processing, and the 1st impurity range and the 3rd impurity range is formed.

[0100] And as shown in drawing 15 (C), the 4th impurity range 5043–5054 of a conductivity type contrary to the 1st conductivity type is formed in the island-shape semi-conductor layers 5004 and 5006 which form the P channel mold TFT. The conductive layers 5038b and 5041b of the 3rd configuration are used as a mask to an impurity element, and an impurity range is formed in self align. At this time, the island-shape semi-conductor layers 5003 and 5005 and the wiring section 5042 which form the N channel mold TFT cover the whole surface with the resist mask 5200. Although Lynn is added by impurity ranges 5043–5054 by concentration different, respectively, it forms by the ion doping method using diboron hexahydride (B–2 H<sub>6</sub>), and is made for high impurity concentration to be set to  $2 \times 10^{20}$  to  $2 \times 10^{21}$  [atoms/cm<sup>3</sup>] also in which the field.

[0101] An impurity range is formed in each island-shape semi-conductor layer at the process to the above. The conductive layers 5037–5041 of the 3rd configuration which lap with an island-shape semi-conductor layer function as a gate electrode. Moreover, 5042 functions as a source signal line.

[0102] After removing the resist mask 5200, the process which activates the impurity element added by each island-shape semi-conductor layer for the purpose of control of a conductivity type is performed. This process is performed by the heat annealing method for using a furnace annealing furnace. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) is applicable. By the heat annealing method, preferably, in the nitrogen-gas-atmosphere mind below 0.1 [ppm], it carries out by 500–600 [°C] typically, and an oxygen density performs [ 400–700 [°C] and ] heat treatment of 4 hours this example below 1 [ppm] 500 [°C]. However, when the wiring material used for the conductive layers 5037–5042 of the 3rd configuration is weak with heat, it is desirable to be activated after forming an interlayer insulation film (let silicon be a principal component), in order to protect wiring etc.

[0103] Furthermore, in the ambient atmosphere containing the hydrogen of 3–100 [%], heat treatment of 1 – 12 hours is performed by 300–450 [°C], and the process which hydrogenates an island-shape semi-conductor layer is performed. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0104] Subsequently, as shown in drawing 16 (A), the 1st interlayer insulation film 5055 is formed by the thickness of 100–200 [nm] from an oxidation silicon nitride film. the 1st interlayer insulation film 5055 after forming the 2nd interlayer insulation film 5056 which consists of an organic insulating material ingredient on it, the 2nd interlayer insulation film 5056, and gate dielectric film 5007 — receiving — a contact hole — forming — each wiring (connection wiring and signal line are included) 5057— after carrying out patterning formation of 5062 and 5064, patterning formation of the pixel electrode 5063 which touches the connection wiring 5062 is carried out.

[0105] As the 2nd interlayer insulation film 5056, polyimide, a polyamide, an acrylic, BCB (benz-cyclo-butene), etc. can be used as the organic resin using the film made from organic resin. Since especially the 2nd interlayer insulation film 5056 has the strong implications of flattening, its acrylic excellent in surface smoothness is desirable. At this example, the acrylic film is formed by the thickness which can fully carry out flattening of the level difference formed of TFT. desirable — 1–5 [μm] (still more preferably 2–4 [μm]) — then, it is good.

[0106] Formation of a contact hole forms the contact hole which arrives at the impurity ranges 5017, 5018, 5021, and 5023 of N type, or the impurity ranges 5043–5054 of P type, the contact hole which reaches wiring 5042, the contact hole (not shown) which reaches a current supply line, and the contact hole (not shown) which reaches a gate electrode using dry etching or wet etching, respectively.

[0107] moreover, wiring (connection wiring and signal line are included) 5057— what carried out patterning of the cascade screen of the three-tiered structure which carried out the aluminum film which contains 100 [nm] and Ti

for Ti film by 300 [nm] as 5062 and 5064, and carried out continuation formation of the Ti film 150 [nm] by the sputter to the desired configuration is used. Of course, other electric conduction film may be used.

[0108] Moreover, in this example, the ITO film was formed in the thickness of 110 [nm] as a pixel electrode 5063, and patterning was performed. Contact is taken by arranging the pixel electrode 5063 so that it may lap in contact with the connection wiring 5062. Moreover, the transparent electric conduction film which mixed the zinc oxide (ZnO) of 2-20 [%] may be used for indium oxide. This pixel electrode 5063 turns into an anode plate of an EL element. ( Drawing 16 (A))

[0109] Next, as shown in drawing 16 (B), the insulator layer (this example oxidation silicon film) containing silicon is formed in the thickness of 500 [nm], opening is formed in the location corresponding to the pixel electrode 5063, and the 3rd interlayer insulation film 5065 which functions as a bank is formed. In case opening is formed, it can consider as the side attachment wall of a taper configuration easily by using the wet etching method. Since degradation of EL layer resulting from a level difference will pose a remarkable problem if the side attachment wall of opening is not fully gently-sloping, cautions are required.

[0110] Next, continuation formation of the EL layer 5066 and the cathode (MgAg electrode) 5067 is carried out without carrying out atmospheric-air release using a vacuum deposition method. In addition, what is necessary is just to set to 180-300 [nm] (typically 200-250 [nm]) thickness whose thickness of the EL layer 5066 is 80-200 [nm] (typically 100-120 [nm]), and cathode 5067.

[0111] At this process, EL layer and cathode are formed one by one to the pixel corresponding to red, the pixel which corresponds green, and the pixel which corresponds blue. however, the \*\* which does not use a photolithography technique since EL layer is lacking in the resistance over a solution — each color — it must form individually. Then, it is desirable that hide except a desired pixel using a metal mask, and only a need part forms EL layer and cathode alternatively.

[0112] That is, the mask which hides except [ all ] the pixel corresponding to red first is set, and EL layer of red luminescence is alternatively formed using the mask. Subsequently, the mask which hides except [ all ] the pixel which corresponds green is set, and EL layer of green luminescence is alternatively formed using the mask. Subsequently, the mask which hides except [ all ] the pixel which corresponds blue similarly is set, and EL layer of blue luminescence is alternatively formed using the mask. In addition, the same mask may be used about although it has indicated that a mask which is altogether different here is used.

[0113] Although the method which forms three kinds of EL elements corresponding to RGB was used here, the method which combined the method which combined the EL element and color filter of white luminescence, blue, or the EL element and fluorescent substance (the color conversion layer of fluorescence: CCM) of bluish green luminescence, the method which puts the EL element corresponding to RGB on cathode (counterelectrode) using a transparent electrode may be used.

[0114] In addition, an ingredient well-known as an EL layer 5066 can be used. As a well-known ingredient, when driver voltage is taken into consideration, it is desirable to use an organic material. For example, what is necessary is just to let 4 layer structures which become with a hole injection layer, an electron hole transportation layer, a luminous layer, and an electronic injection layer be EL layers.

[0115] Next, on the pixel (pixel of the same Rhine) which has TFT for switching by which the gate electrode was connected to the same gate signal line, a metal mask is used and cathode 5067 is formed. In addition, although MgAg was used as cathode 5067 in this example, this invention is not limited to this. Other well-known ingredients may be used as cathode 5067.

[0116] The passivation film 5068 which becomes the last with a silicon nitride film is formed in the thickness of 300 [nm]. By forming the passivation film 5068, the EL layer 5066 can be protected from moisture etc. and the dependability of an EL element can be raised further.

[0117] In this way, the EL display of structure as shown in drawing 16 (B) is completed. In addition, in the creation process of the EL display in this example, on the configuration of a circuit, and the relation of a process, although the gate signal line is formed by aluminum which is the wiring material which forms a source signal line and forms the source and a drain electrode by Ta and W which are the ingredient which forms the gate electrode, a different ingredient may be used.

[0118] By the way, by arranging TFT of the optimal structure not only for a picture element part but the drive circuit section, the EL display of this example shows very high dependability, and its operating characteristic may also improve. Moreover, it is also possible to add metal catalysts, such as nickel, in a crystallization process, and to raise crystallinity. It is possible to carry out drive frequency of a source signal-line drive circuit by it more than 10 [MHz].

[0119] First, TFT which has the structure of reducing hot carrier impregnation so that a working speed may not be reduced as much as possible is used as an N channel mold TFT of the CMOS circuit which forms the drive circuit section. In addition, as a drive circuit here, the transmission gate in a shift register, a buffer, a level shifter, the latch in a line sequential drive, and a point sequential drive etc. is included.

[0120] In the case of this example, the barrier layer of the N channel mold TFT includes a source field, a drain field, the overlap LDD field (LOV field) that laps with a gate electrode on both sides of gate dielectric film in between, the offset LDD field (LOFF field) which does not lap with a gate electrode on both sides of gate dielectric film in between, and a channel formation field.

[0121] Moreover, since degradation by hot carrier impregnation hardly worries the P channel mold TFT of a CMOS circuit, it is not necessary to prepare especially a LDD field. Of course, it is also possible to prepare a LDD field like

the N channel mold TFT, and to take the cure against a hot carrier.

[0122] In addition, in a drive circuit, when a CMOS circuit to which a current flows a channel formation field bidirectionally, i.e., a CMOS circuit which the role of a source field and a drain field replaces, is used, as for the N channel mold TFT which forms a CMOS circuit, it is desirable to form a LDD field in both the sides of a channel formation field in the form which faces across a channel formation field. As such an example, the transmission gate used for a point sequential drive is mentioned. Moreover, in a drive circuit, when a CMOS circuit with the need of suppressing the OFF state current low as much as possible is used, as for the N channel mold TFT which forms a CMOS circuit, it is desirable to have the LOV field. As such an example, the transmission gate used for a point sequential drive is mentioned too.

[0123] In addition, when completing to the condition of drawing 16 (B) in fact, airtightness is high and it is desirable to carry out packaging (enclosure) with few protection films (a laminate film, ultraviolet-rays hardening resin film, etc.) of degasifying or the sealing material of translucency so that it may not be further put to the open air. In that case, if the interior of a sealing material is made into an inert atmosphere or a hygroscopic material (for example, barium oxide) is arranged inside, the dependability of an EL element will improve.

[0124] Moreover, if processing of packaging etc. raises airtightness, the connector (flexible print circuit: FPC) for connecting the terminal and external signal terminal which were taken about from the component formed on the substrate or the circuit will be attached, and it will complete as a product. Thus, the condition of having changed into the condition that it can ship is called electronic instrument in this specification.

[0125] Moreover, if the process shown by this example is followed, the number of photo masks required for production of an electronic instrument can be stopped. Consequently, a process can be shortened and it can contribute to reduction of a manufacturing cost, and improvement in the yield.

[0126] In [example 6] this example, the example which produced the electronic instrument of this invention is explained.

[0127] Drawing 17 (A) is the plan of an electronic instrument which used this invention, and shows the sectional view which cut drawing 17 (A) in respect of X-X' to drawing 17 (B). In drawing 17 (A), for 4001, as for a picture element part and 4003, a substrate and 4002 are [ a source signal-line side drive circuit and 4004 ] gate signal line side drive circuits, and each drive circuit results in FPC4008 through wiring 4005, 4006, and 4007, and is connected to an external instrument.

[0128] At this time, in the picture element part 4002, as a drive circuit and a picture element part are surrounded preferably, the covering material 4009, sealant 4010, and a sealing material (it is also called housing material) 4011 (it illustrates to drawing 9 (B)) are formed.

[0129] Moreover, drawing 17 (B) is the cross-section structure of the electronic instrument of this example, and TFT4013 for drive circuits (however, the CMOS circuit which combined the N channel mold TFT and the P channel mold TFT here is illustrated), and TFT4014 (however, only TFT for EL drive which controls the current to an EL element here is illustrated) for picture element parts are formed on a substrate 4001 and the substrate film 4012. These TFT(s) should just use well-known structure (top gate structure or bottom gate structure).

[0130] If TFT4013 for drive circuits and TFT4014 for picture element parts are completed using the well-known production approach, the pixel electrode 4016 which becomes by the transparence electric conduction film electrically connected with the drain of TFT4014 for picture element parts will be formed on the interlayer insulation film (flattening film) 4015 which becomes with a resin ingredient. As transparence electric conduction film, the compound (referred to as ITO) of indium oxide and the tin oxide or the compound of indium oxide and a zinc oxide can be used. And if the pixel electrode 4016 is formed, an insulator layer 4017 will be formed and opening will be formed on the pixel electrode 4016.

[0131] Next, the EL layer 4018 is formed. What is necessary is just to make the EL layer 4018 into a laminated structure or monolayer structure, combining freely well-known EL ingredient (a hole injection layer, an electron hole transportation layer, a luminous layer, an electron transport layer, or electronic injection layer). As what kind of structure it considers should just use a well-known technique. Moreover, there are a low-molecular system ingredient and a macromolecule system (polymer system) ingredient as EL ingredient. When using a low-molecular system ingredient, vacuum deposition is used, but when using a giant-molecule system ingredient, it is possible to use simple approaches, such as a spin coat method, print processes, or the ink jet method.

[0132] In this example, EL layer is formed with vacuum deposition using a shadow mask. By forming the luminous layer (a red luminous layer, a green luminous layer, and blue luminous layer) in which luminescence from which wavelength differs for every pixel using a shadow mask is possible, color display becomes possible. In addition, which approach may be used although there are a method which combined the color conversion layer (CCM) and the color filter, and a method which combined the white luminous layer and the color filter. Of course, it can also consider as the electronic instrument of monochrome luminescence.

[0133] If the EL layer 4018 is formed, cathode 4019 will be formed on it. As for the moisture which exists in the interface of cathode 4019 and the EL layer 4018, or oxygen, eliminating as much as possible is desirable. Therefore, the device of forming cathode 4019 without carrying out continuation membrane formation of the EL layer 4018 and the cathode 4019 in a vacuum, or forming the EL layer 4018 by the inert atmosphere and carrying out atmospheric-air release is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0134] In addition, in this example, the laminated structure of the LiF (lithium fluoride) film and aluminum (aluminum) film is used as cathode 4019. The LiF (lithium fluoride) film of 1 [nm] thickness is specifically formed with vacuum



deposition on the EL layer 4018, and the aluminum film of 300 [nm] thickness is formed on it. Of course, the MgAg electrode which is a well-known cathode material may be used. And cathode 4019 is connected to wiring 4007 in the field shown by 4020. Wiring 4007 is a power-source line for giving a predetermined electrical potential difference to cathode 4019, and is connected to FPC4008 through the conductive paste ingredient 4021.

[0135] In order to connect cathode 4019 and wiring 4007 electrically in the field shown in 4020, it is necessary to form a contact hole in an interlayer insulation film 4015 and an insulator layer 4017. What is necessary is just to form these at the time of etching of an interlayer insulation film 4015, and etching of an insulator layer 4017 (at the time of formation of the contact hole for pixel electrodes) (at the time of formation of opening in front of EL stratification). Moreover, in case an insulator layer 4017 is etched, even an interlayer insulation film 4015 may etch by package. In this case, if an interlayer insulation film 4015 and an insulator layer 4017 are the same resin ingredients, the configuration of a contact hole can be made good.

[0136] Thus, the front face of the formed EL element is covered and the passivation film 4022, a filler 4023, and the covering material 4009 are formed.

[0137] Furthermore, as the EL element section is surrounded, a sealing material 4011 is formed inside the covering material 4009 and a substrate 4001, and sealant (the 2nd sealing material) 4010 is further formed in a sealing material's 4011 outside.

[0138] At this time, this filler 4023 functions also as adhesives for pasting up the covering material 4009. As a filler 4023, PVC (polyvinyl chloride), an epoxy resin, silicon resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the drying agent is prepared in the interior of this filler 4023, since the moisture absorption effectiveness can be held, it is desirable. Moreover, degradation of EL layer may be suppressed by arranging the antioxidant which has the effectiveness which catches oxygen inside a filler 4023.

[0139] Moreover, a spacer may be made to contain in a filler 4023. At this time, a spacer may be used as the particulate matter which consists of BaO etc., and hygroscopicity may be given to the spacer itself.

[0140] When a spacer is formed, the passivation film 4022 can ease spacer \*\*. Moreover, the resin film which eases spacer \*\* may be prepared apart from the passivation film.

[0141] Moreover, as covering material 4009, a glass plate, an aluminum plate, a stainless plate, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. In addition, when using PVB and EVA as a filler 4023, it is desirable to use the sheet of the structure which sandwiched the aluminium foil of dozens [nm] with the PVF film or the Mylar film.

[0142] However, depending on the luminescence direction (the direction of a light emission) from an EL element, the covering material 4009 needs to have translucency.

[0143] Moreover, wiring 4007 is electrically connected to FPC4008 through the clearance between a sealing material 4011 and sealant 4010, and a substrate 4001. In addition, although wiring 4007 was explained here, other wiring 4005 and 4006 is similarly connected to FPC4008 electrically through the bottom of a sealing material 4011 and sealant 4010.

[0144] in addition — since a filler 4023 is formed in this example — the covering material 4009 — pasting up — the side face (disclosure side) of a filler 4023 — a wrap — although the sealing material 4011 is attached like, a filler 4023 may be formed after attaching the covering material 4009 and a sealing material 4011. In this case, the inlet of the filler which leads to the opening currently formed with a substrate 4001, the covering material 4009, and a sealing material 4011 is prepared. And said opening is made into a vacua (below 10<sup>-2</sup> [Torr]), and after dipping an inlet in the tank which is in close [ of a filler ], the atmospheric pressure outside an opening is made higher than the atmospheric pressure in an opening, and it is filled up with a filler into an opening.

[0145] [Example 7] Here shows the still more detailed cross-section structure of the picture element part in the electronic instrument of this invention to drawing 18 .

[0146] In drawing 18 , TFT4502 for switching prepared on the substrate 4501 uses the N channel mold TFT formed by the well-known approach by this example. Although considered as double-gate structure in this example, since there is no big difference in structure and a production process, explanation is omitted. However, it becomes the structure where the serial of the two TFT(s) was substantially carried out by considering as double-gate structure, and there is an advantage that an OFF state current value can be reduced. In addition, although considered as double-gate structure in this example, single gate structure is sufficient and multi-gate structure with triple gate structure or the gate number beyond it is sufficient.

[0147] Moreover, TFT4503 for EL drive uses the N channel mold TFT formed by the well-known approach. The drain wiring 4504 of TFT4502 for switching is electrically connected to the gate electrode 4506 of TFT4503 for EL drive by wiring (not shown).

[0148] Moreover, although single gate structure is illustrating TFT4503 for EL drive in this example, it is good also as multi-gate structure where two or more TFT(s) were connected to the serial. Furthermore, it is good also as structure which ties two or more TFT(s) to juxtaposition, divides a channel formation field into plurality substantially, and enabled it to emit heat at high effectiveness. Such structure is effective as a cure against degradation by heat.

[0149] Moreover, wiring (not shown) containing the gate electrode 4506 of TFT4503 for EL drive laps with the drain wiring 4512 of TFT4503 for EL drive partly through an insulator layer, and retention volume is formed in the field. This retention volume has the function to hold the electrical potential difference concerning the gate electrode 4506 of TFT4503 for EL drive.

[0150] The 1st interlayer insulation film 4514 is formed on TFT4502 for switching, and TFT4503 for EL drive, and the 2nd interlayer insulation film 4515 which becomes by the resin insulator layer is formed on it.



[0151] 4517 is a pixel electrode (cathode of an EL element) which becomes by the reflexible high electric conduction film, it is formed so that a part may cover and cover the drain field of TFT4503 for EL drive, and it is connected electrically. as the pixel electrode 4517 — the aluminium alloy film, the copper alloy film, or the silver alloy film — low — it is desirable to use electric conduction [ \*\*\*\* ] film or those cascade screens. Of course, it is good also as a laminated structure with other electric conduction film.

[0152] Next, the organic resin film 4516 is formed on the pixel electrode 4517, and after carrying out patterning of the part which faces the pixel electrode 4517, a luminous layer 4519 is formed. In addition, although not illustrated here, the luminous layer corresponding to each color of R (red), G (green), and B (blue) may be made and divided. pi conjugation polymer system ingredient is used as an organic electroluminescence ingredient made into a luminous layer. As a typical polymer system ingredient, a poly para-phenylene vinylene (PPV) system, a polyvinyl-carbazole (PVK) system, the poly fluorene system, etc. are mentioned.

[0153] in addition — although there is a thing of various molds as a PPV system organic electroluminescence ingredient — for example — “ — H. — Shenk, H.Becker, O.Gelsen, E.Kluge, and W.Kreuder and H.Spreitzer What is necessary is just to use an ingredient which was indicated by : “Polymers for Light Emitting Diodes”, Euro Display, Proceedings, 1999, and p.33-37” and JP,10-92576,A.

[0154] What is necessary is to use polyphenylene vinylene for cyano polyphenylene vinylene and the luminous layer which emits light green, and just to use polyphenylene vinylene or the poly alkyl phenylene for the luminous layer which emits light blue as a concrete luminous layer, at the luminous layer which emits light in red. thickness — 30-150 [nm] (preferably 40-100 [nm]) — then, it is good.

[0155] However, the above example is an example of the organic electroluminescence ingredient which can be used as a luminous layer, and there is no need of limiting to this. What is necessary is just to form EL layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer.

[0156] For example, although this example showed the example which uses a polymer system ingredient as a luminous layer, a low-molecular system organic electroluminescence ingredient may be used. Moreover, it is also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic electroluminescence ingredients and inorganic materials can use a well-known ingredient.

[0157] When formed to an anode plate 4523, EL element 4510 is completed. In addition, the pixel electrode (cathode) 4517, a luminous layer 4519, and the retention volume formed in the hole injection layer 4522 and the anode plate 4523 are pointed out in EL element 4510 here.

[0158] By the way, in this example, the passivation film 4524 is further formed on the anode plate 4523. As passivation film 4524, a silicon nitride film or the nitriding oxidation silicon film is desirable. This purpose is intercepting the exterior and an EL element, and has both the semantics which prevents degradation by oxidation of an organic electroluminescence ingredient, and the semantics which stops degasifying from an organic electroluminescence ingredient. Thereby, the dependability of an electronic instrument is raised.

[0159] The electronic instrument explained in this example as mentioned above has the picture element part which consists of a pixel of structure like drawing 18 , and has TFT for switching of an OFF state current value low enough, and TFT for EL drive strong against hot carrier impregnation. Therefore, it has high dependability and the electronic instrument in which good image display is possible is obtained.

[0160] In the case of the EL element which has the structure explained in this example, the light generated in the luminous layer 4519 is emitted toward the hard flow of a substrate in which TFT was formed as shown by the arrow head.

[0161] In [example 8] this example, the structure where the structure of EL element 4510 was reversed is explained in the picture element part shown in drawing 18 of an example 7. Drawing 19 is used for explanation. In addition, since a different point from the structure of drawing 18 is only the part and TFT part of an EL element, other explanation is given to omit.

[0162] In drawing 19 , TFT4502 for switching uses the N channel mold TFT formed by the well-known approach. TFT4503 for EL drive uses the P channel mold TFT formed by the well-known approach.

[0163] In this example, the transparence electric conduction film is used as a pixel electrode (anode plate) 4525. The electric conduction film which specifically becomes with the compound of indium oxide and a zinc oxide is used. Of course, the electric conduction film which becomes with the compound of indium oxide and the tin oxide may be used.

[0164] And after the 3rd interlayer insulation film 4526 which becomes by the resin film is formed, a luminous layer 4528 is formed. The electronic injection layer 4529 which becomes by potassium acetylacetonate (written as acack) on it, and the cathode 4530 which becomes with an aluminium alloy are formed.

[0165] Then, the passivation film 4532 for preventing oxidization of an organic electroluminescence ingredient is formed like an example 7, and EL element 4531 is formed in this way.

[0166] In the case of the EL element which has the structure explained in this example, the light generated in the luminous layer 4528 is emitted toward the direction of the substrate with which TFT was formed as shown by the arrow head.

[0167] The electronic instrument shown in the [example 9] example 7 and the example 8 can be easily created, even if it uses the reverse stagger mold TFT for TFT which constitutes a drive circuit. It explains with reference to drawing 20 . In addition, about the part which is common in an example 7 and the example 8, the same number as

drawing 18 and drawing 19 is attached.

[0168] In drawing 20, TFT4502 for switching prepared on the substrate 4501 uses the N channel mold TFT formed by the well-known approach by this example. Although considered as single gate structure in this example, double-gate structure is sufficient and multi-gate structure with triple gate structure or the gate number beyond it is sufficient. Moreover, although the LDD field is established in the both sides of a source field and a drain field over the part which overlaps a gate electrode, and the part not overlapping, TFT which does not prepare especially a LDD field may be used for TFT4502 for switching.

[0169] Moreover, TFT4503 for EL drive uses the P channel mold TFT formed by the well-known approach. The drain wiring 4533 of TFT4502 for switching is electrically connected to the gate electrode 4534 of TFT4503 for EL drive by wiring (not shown).

[0170] Moreover, although single gate structure is illustrating TFT4503 for EL drive in this example, it is good also as multi-gate structure where two or more TFT(s) were connected to the serial. Furthermore, it is good also as structure which ties two or more TFT(s) to juxtaposition, divides a channel formation field into plurality substantially, and enabled it to emit heat at high effectiveness. Such structure is effective as a cure against degradation by heat.

[0171] Moreover, wiring (not shown) containing the gate electrode 4534 of TFT4503 for EL drive laps with the source wiring 4535 of TFT4503 for EL drive partly through an insulator layer, and retention volume is formed in the field. This retention volume has the function to hold the electrical potential difference concerning the gate electrode 4534 of TFT4503 for EL drive.

[0172] The 1st interlayer insulation film 4536 is formed on TFT4502 for switching, and TFT4503 for EL drive, and the 2nd interlayer insulation film 4537 which becomes by the resin insulator layer is formed on it.

[0173] Then, like an example 7 and an example 8, the pixel electrode (anode plate) 4538, a luminous layer 4539, an electronic injection layer 4540, cathode 4541, and the passivation film 4542 are formed, and EL element 4531 is formed.

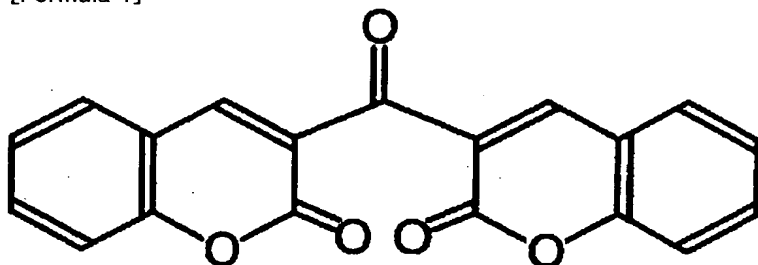
[0174] In the case of the EL element which has the structure explained in this example, the light generated in the luminous layer 4539 is emitted toward the direction of the substrate with which TFT was formed as shown by the arrow head.

[0175] In [example 10] this invention, external luminescence quantum efficiency can be raised by leaps and bounds by using EL ingredient which can use the phosphorescence from a triplet exciton for luminescence. Thereby, low-power-izing of an EL element, reinforcement, and lightweight-ization are attained.

[0176] Here, a triplet exciton is used and the report which raised external luminescence quantum efficiency is shown. (T. Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.KHonda, p (Elsevier Sci.Pub., Tokyo, 1991) .437.) The molecular formula of EL ingredient (coumarin coloring matter) reported by the above-mentioned paper is shown below.

[0177]

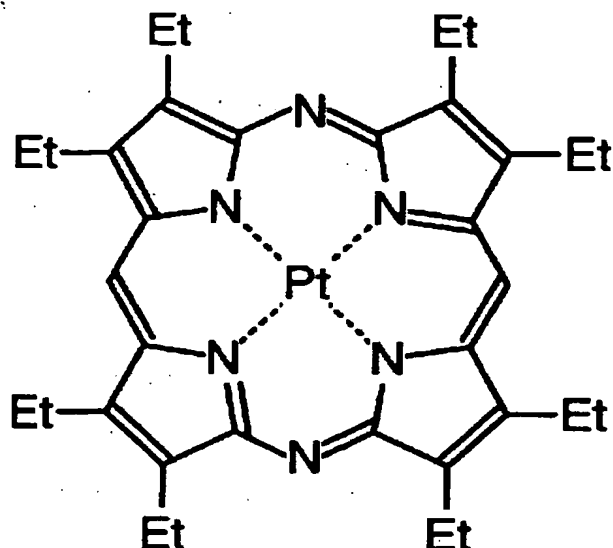
[Formula 1]



[0178] (M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395(1998)p.151.) The molecular formula of EL ingredient (Pt complex) reported by the above-mentioned paper is shown below.

[0179]

[Formula 2]

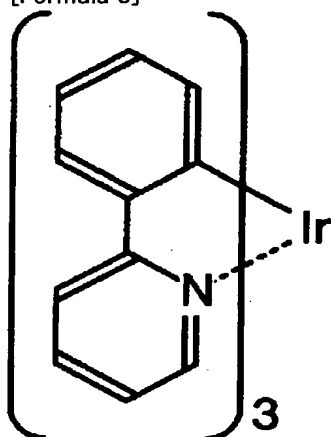


[0180] (M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75(1999)p.4.)  
(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi,  
Jpn.Appl.Phys., 38(12B)(1999)L1502.)

The molecular formula of EL ingredient (Ir complex) reported by the above-mentioned paper is shown below.

[0181]

[Formula 3]



[0182] If phosphorescence luminescence from a triplet exciton can be used as mentioned above, implementation of one 3 to 4 times the high external luminescence quantum efficiency of this will be attained from the case where the firefly luminescence from a singlet exciton is used theoretically. In addition, it combines with any configuration of an example 1 - an example 9 freely, and the configuration of this example can be carried out.

[0183] Since the EL display adapting the electronic instrument and its drive approach of [example 11] this invention is a spontaneous light type, it is excellent in the visibility in a bright location compared with a liquid crystal display, and moreover, its angle of visibility is large. Therefore, it can use as a display of various electronic equipment. For example, it is good to use the electronic instrument and its drive approach of this invention in the display of the EL display of 30 inches or more (typically 40 inches or more) of vertical angles for appreciating TV broadcast etc. by the big screen.

[0184] In addition, all displays for information displays, such as a display for personal computers, a display for TV broadcast reception, and a display for an advertising display, are contained in an EL display. Moreover, in addition to this, the electronic instrument and its drive approach of this invention can be used for the display of various electronic equipment.

[0185] As electronic equipment of such this invention, the picture reproducer (equipment equipped with the display which specifically reproduces record media, such as a digital videodisc (DVD), and can display the image) equipped with a video camera, a digital camera, a goggles mold indicating equipment (head mount display), a navigation system, sound systems (a car audio, audio component stereo, etc.), a note type personal computer, a game device, Personal Digital Assistants (a mobile computer, a cellular phone, a handheld game machine, or digital book), and a record medium etc. is mentioned. Since importance is attached to the size of an angle of visibility, as for especially the Personal Digital Assistant with seeing [ much ] from across, it is desirable to use an EL display. The example of these electronic equipment is shown in drawing 23 and drawing 24.

[0186] Drawing 23 (A) is an EL display and contains a case 3301, susceptor 3302, and display 3303 grade. The electronic instrument and its drive approach of this invention can be used by the display 3303. Since it is a spontaneous light type, the back light of an EL display is unnecessary, and it can be made into a display thinner than a liquid crystal display.

[0187] Drawing 23 (B) is a video camera and contains a body 3311, a display 3312, the voice input section 3313, the actuation switch 3314, a dc-battery 3315, and television section 3316 grade. The electronic instrument and its drive approach of this invention can be used by the display 3312.

[0188] Drawing 23 (C) is a part of head mount EL display (right one side), and contains a body 3321, a signal cable 3322, the head fixed band 3323, a display 3324, optical system 3325, and display 3326 grade. The electronic instrument and its drive approach of this invention can be used with a display 3326.

[0189] Drawing 23 (D) is the picture reproducer (specifically DVD regenerative apparatus) equipped with the record medium, and contains a body 3331, record media (DVD etc.) 3332, the actuation switch 3333, a display (a) 3334, and (Display b) 3335 grade. a display — (— a —) — 3334 — mainly — image information — displaying — a display — (— b —) — 3335 — mainly — text — displaying — although — this invention — an electronic instrument — and — the — a drive — an approach — these — a display — (— a —) — 3334 — a display — (— b —) — 3335 — it can use . In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0190] Drawing 23 (E) is a goggles mold indicating equipment (head mount display), and contains a body 3341, a display 3342, and the arm section 3343. The electronic instrument and its drive approach of this invention can be used by the display 3342.

[0191] Drawing 23 (F) is a personal computer and contains a body 3351, a case 3352, a display 3353, and keyboard 3354 grade. The electronic instrument and its drive approach of this invention can be used by the display 3353.

[0192] In addition, if the luminescence brightness of EL ingredient will become high in the future, it will also become possible to carry out expansion projection of the light containing the outputted image information with a lens etc., and to use for the projector of a front mold or a rear mold.

[0193] Moreover, the above-mentioned electronic equipment displays more often the information distributed through electronic communication lines, such as the Internet and CATV (cable television), and its opportunity to display especially animation information has been increasing. Since the speed of response of EL ingredient is very high, an EL display is desirable to a movie display.

[0194] Moreover, in order that the part which is emitting light may consume power, as for an EL display, for electrical-power-consumption-saving-izing, it is desirable to display information that the amount of light-emitting part decreases as much as possible. Therefore, when using an EL display for the display which is mainly concerned with text like a Personal Digital Assistant especially a cellular phone, or a sound system, it is desirable to drive so that text may be formed by part for a light-emitting part by making a nonluminescent part into a background.

[0195] Drawing 24 (A) is a cellular phone and contains a body 3401, the voice output section 3402, the voice input section 3403, a display 3404, the actuation switch 3405, and an antenna 3406. The electronic instrument and its drive approach of this invention can be used by the display 3404. In addition, a display 3404 can stop the power consumption of a cellular phone by displaying a white alphabetic character on a black background.

[0196] Drawing 24 (B) is a car audio and includes a body 3411, a display 3412, and the actuation switches 3413 and 3414 in a sound system and a concrete target. The electronic instrument and its drive approach of this invention can be used by the display 3412. Moreover, although this example shows the audio for mount, you may use for a pocket mold or a sound system for home use. In addition, a display 3414 can stop power consumption by displaying a white alphabetic character on a black background. Especially this is effective in the sound system of a pocket mold.

[0197] drawing 24 — (— C —) — a digital camera — it is — a body — 3501 — a display — (— A —) — 3502 — an eye contacting part — 3503 — actuation — a switch — 3504 — a display — (— B —) — 3505 — a dc-battery — 3506 — containing . this invention — an electronic instrument — a display — (— A —) — 3502 — a display — (— B —) — 3505 — it can use . Moreover, when mainly using a display (B) 3505 as a panel for actuation, power consumption can be stopped by displaying a white alphabetic character on a black background.

[0198] Moreover, in the pocket mold electronic equipment shown by this example, in case the sensor section which senses external brightness is prepared as an approach for reducing power consumption and it is used in a dark location, the method of adding functions, such as dropping the brightness of a display, etc. is mentioned.

[0199] As mentioned above, the applicability of this invention is very wide, and using for the electronic equipment of all fields is possible. Moreover, the electronic equipment of this example may apply which configuration shown in the example 1 — the example 10.

[Effect of the Invention] Usually, when it has m pixels horizontally, although the source signal-line side drive circuit had m steps, it can be made into m/2 step by using the configuration of this invention. Moreover, in order for there to be no need of pulling up clock frequency etc., it is satisfactory also in respect of dependability. Therefore, when the pixel pitch by highly-minute-izing of a screen becomes narrow, the problem on the design by the arrangement tooth space of a drive circuit being pressed can be avoided, and it can greatly contribute to highly minute-ization of an electronic instrument.

[0200] Moreover, by sharing a source signal line by the picture element part, it is also possible to reduce the whole number of wiring, and it can be said that there is also a point which becomes advantageous from the picture element part of the usual structure also in the field of a numerical aperture.

---

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-40990

(P2002-40990A)

(43) 公開日 平成14年2月8日(2002.2.8)

(51) IntCl.	識別記号	F I	テリトリー(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 D
			6 2 3 W

審査請求 未請求 請求項の数17 OL (全 28 頁) 最終頁に続く

(21) 出願番号 特願2001-142827(P2001-142827)

(22) 出願日 平成13年5月14日(2001.5.14)

(31) 優先権主張番号 特願2000-145853(P2000-145853)

(32) 優先日 平成12年5月18日(2000.5.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

Fターム(参考) 3K007 AB18 BA06 CA03 DA02 EB00

GA00

5C080 AA06 BB05 DD03 DD07 DD23

EE29 FF11 JJ02 JJ03 JJ04

JJ06

5C094 AA05 BA03 BA27 CA19 EA04

EA07

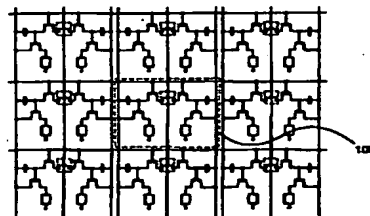
(54) 【発明の名称】 電子装置およびその駆動方法

## (57) 【要約】

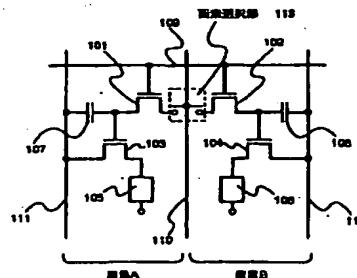
【課題】 画素部の高精細化に伴い、新規の構成を有する画素を用いることでソース信号線側駆動回路の段数を水平方向画素数の1/2とし、余裕を持たせた配置とすることが出来、かつ高開口率化にも貢献出来る電気光学装置を提供することを課題とする。

【解決方法】 1水平期間を前半、後半の期間に分割し、1本のソース信号線には隣接した2画素分の信号を順次入力し、隣接した2画素の間に配置した画素選択部によって1水平期間の前半もしくは後半で、それぞれ一方の画素を選択して信号の書き込みを行う。1本のソース信号線を隣接した2画素で共有出来るため、開口率の面でも有利となる。

(A)



(B)



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、

前記画素部は、 $m$ 本のソース信号線と、 $k$ 本のゲート信号線と、 $2km$ 個の画素を有し、

前記 $m$ 本のソース信号線はそれぞれ、 $k$ 個の画素選択部を有し、

前記 $m$ 本のソース信号線の各々は、画素選択部を介して  $2k$ 個の画素と電気的に接続され、

前記 $2km$ 個の画素はそれぞれ、スイッチング用トランジスタと、 $EL$ 駆動用トランジスタと、 $EL$ 素子とを有し、

前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、

前記スイッチング用トランジスタの不純物領域は、一方はソース信号線と電気的に接続され、残る一方は前記 $EL$ 駆動用トランジスタのゲート電極と電気的に接続され、

前記 $EL$ 駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方は $EL$ 素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

【請求項2】ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、

前記画素部は、 $m$ 本のソース信号線と、 $k$ 本のゲート信号線と、 $2km$ 個の画素を有し、

前記 $2km$ 個の画素はそれぞれ、スイッチング用トランジスタと、 $EL$ 駆動用トランジスタと、 $EL$ 素子とを有し、

前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、

前記スイッチング用トランジスタの不純物領域は、一方は画素選択部を介してソース信号線と電気的に接続され、残る一方は前記 $EL$ 駆動用トランジスタのゲート電極と電気的に接続され、

前記 $EL$ 駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方は $EL$ 素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

【請求項3】請求項1もしくは請求項2に記載の電子装置において、

前記ソース信号線側駆動回路は、1水平期間に2回の映像信号の書き込み動作を、 $m$ 本のソース信号線それぞれに対して行うことを特徴とする電子装置。

【請求項4】請求項1乃至請求項3のいずれか1項に記載の電子装置において、

1個の前記画素選択部には、第1の画素と第2の画素とが電気的に接続され、

前記画素選択部は、1水平期間の前半の期間においては第1の画素を選択し、1水平期間の後半の期間においては第2の画素を選択し、

ソース信号線から入力される映像信号は、前記画素選択部によって選択されている側の画素にのみ書き込まれることを特徴とする電子装置。

【請求項5】請求項1乃至請求項4のいずれか1項に記載の電子装置において、

前記画素選択部は、 $N$ チャネル型トランジスタと、 $P$ チャネル型トランジスタとを有することを特徴とする電子装置。

【請求項6】請求項1乃至請求項4のいずれか1項に記載の電子装置において、

前記画素選択部は、アナログスイッチを有することを特徴とする電子装置。

【請求項7】1フレーム期間は $n$ 個のサブフレーム期間 $SF_1, SF_2, \dots, SF_n$ を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ とサステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、

$EL$ 素子の発光時間を制御することによって $n$ ビットの階調表示を行う電子装置の駆動方法において、

前記電子装置の水平方向の画素数が $2m$ 個であるとき、1水平期間を2つの期間に分割し、一方の期間においては1, 3,  $\dots$ ,  $2m-3$ ,  $2m-1$ 番目の画素への映像信号の書き込みが行われ、残る一方の期間においては2, 4,  $\dots$ ,  $2m-2$ ,  $2m$ 番目の画素への映像信号の書き込みが行われることを特徴とする電子装置の駆動方法。

【請求項8】請求項7に記載の電子装置の駆動方法において、

1, 3,  $\dots$ ,  $2m-3$ ,  $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であり、2, 4,  $\dots$ ,  $2m-2$ ,  $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であることを特徴とする電子装置の駆動方法。

【請求項9】請求項7に記載の電子装置の駆動方法において、

1, 3,  $\dots$ ,  $2m-3$ ,  $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であり、2, 4,  $\dots$ ,  $2m-2$ ,  $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であることを特徴とする電子装置の駆動方法。

【請求項10】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とする $EL$ ディスプレイ。

【請求項11】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とする携帯電話。

【請求項12】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とするカーオーディ

オ。

【請求項13】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とするデジタルカメラ。

【請求項14】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするELディスプレイ。

【請求項15】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とする携帯電話。

【請求項16】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするカーオーディオ。

【請求項17】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするデジタルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置の構成に関する。本発明は、特に、絶縁体上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。

【0002】

【従来の技術】近年、LCD(液晶ディスプレイ)に替わるフラットパネルディスプレイとして、EL(エレクトロルミネッセンス)ディスプレイが注目を集めており、活発な研究が行われている。

【0003】LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブマトリクス型、もう1つがアクティブマトリクス型である。

【0004】パッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

【0005】図21は、デジタル駆動によるアクティブマトリクス型電子装置の構成例である。中央に画素部2101が配置されている。画素部2101の周囲には、ソース信号線を制御するための、ソース信号線側駆動回路2102および、ゲート信号線を制御するための、ゲート信号線側駆動回路2106が配置されている。図21においては、ゲート信号線側駆動回路2106は、画素部2101の片側のみ配置されているが、画素部2

101を挟むようにして、ゲート信号線の両側に配置するのが、実際の駆動においては、動作の信頼性、効率の面でより望ましい。また、EL素子に電流を供給するための電源部(Supply)が、画素部2101の各電流供給線に接続されている。

【0006】EL素子は、エレクトロルミネッセンス(Electro Luminescence: 電場を加えることで発生するルミネッセンス)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた電子装置にも適用可能である。

【0007】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0008】また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0009】ソース信号線側駆動回路2102は、シフトレジスタ2103、第1のラッチ回路2104、第2のラッチ回路2105を有する。シフトレジスタ2103には、ソース側クロック信号(S-CLK)、ソース側スタートパルス(S-SP)が入力され、第1のラッチ回路2104には、デジタル映像信号(Digital Data)が入力され、第2のラッチ回路2105には、ラッチパルス(Latch Pulse)が入力される。

【0010】ゲート信号線側駆動回路2106は、シフトレジスタ(図示せず)を有する。シフトレジスタには、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。

【0011】回路の駆動について説明する。説明には、図21に付した番号を用いる。

【0012】ソース信号線側駆動回路2102において、シフトレジスタ2103に、ソース側クロック信号(S-CLK)、ソース側スタートパルス(S-SP)が入力される。シフトレジスタ2103は、これら入力信号に基づいて、順次パルスを出力する。シフトレジスタより順次出力されるパルスは、バッファ等(図示せず)を経由して第1のラッチ回路2104に入力され、デジタル映像信号(Digital Data)を各段で順次保持(ラッチ)する。第1のラッチ回路2104の最終段においてデータの保持が終了すると、第2のラッチ回路2105に、ラッチパルス(Latch Pu



lse)が入力され、第1のラッチ回路2104に保持されていたデータはバッファ等(図示せず)を経由して一斉に第2のラッチ回路2105に転送される。

【0013】ゲート信号線側駆動回路2106において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出し、バッファ等(図示せず)を経由して、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

【0014】ソース信号線側駆動回路2102の第2のラッチ回路2105に転送されたデータは、ゲート信号線選択パルスによって選択されている行の画素に書き込まれる。この動作が繰り返されることにより、画像の表示がなされる。

【0015】続いて、画素部の駆動について説明する。図22に、図21の画素部2101の一部を示す。図22(A)は、3×3画素のマトリクスを示している。点線枠2200にて囲まれた部分が1画素であり、図22(B)にその拡大図を示す。図22(B)において、2201は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。このスイッチング用TFT2201にはNチャネル型もしくはPチャネル型のいずれの極性を用いても良い。2202はEL素子2203に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。EL駆動用TFT2202にPチャネル型を用いる場合には、EL素子2203の陽極2209と電流供給線2207との間に配置する。別の構成方法として、EL駆動用TFT2202にNチャネル型を用いて、EL素子2203の陰極2210と陰極電極2208との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子2203の製造上の制約などから、EL駆動用TFT2202にはPチャネル型を用い、EL素子2203の陽極2209と電流供給線2207との間にEL駆動用TFT2202を配置する方式が一般的であり、多く採用されている。2204は、ソース信号線2206から入力される信号(電圧)を保持するための保持容量である。図22(B)での保持容量2204の一方の端子は、電流供給線2207に接続されているが、専用の配線を用いることもある。スイッチング用TFT2201のゲート電極は、ゲート信号線2205に、ソース領域は、ソース信号線2206に接続されている。

【0016】次に、同図22を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線2205が選択されると、スイッチング用TFT2201のゲート電極に電圧が印加され、スイッチング用TFT2201が導通状態になる。する

と、ソース信号線2206の信号(電圧)が保持容量2204に蓄積される。保持容量2204の電圧は、EL駆動用TFT2202のゲート・ソース間電圧 $V_{gs}$ となるため、保持容量2204の電圧に応じた電流がEL駆動用TFT2202とEL素子2203に流れる。その結果、EL素子2203が点灯する。

【0017】EL素子2203の輝度、つまりEL素子2203を流れる電流量は、EL駆動用TFT2202の $V_{gs}$ によって制御出来る。 $V_{gs}$ は、保持容量2204の電圧であり、それはソース信号線2206に入力される信号(電圧)である。つまり、ソース信号線2206に入力される信号(電圧)を制御することによって、EL素子2203の輝度を制御する。最後に、ゲート信号線2205を非選択状態にして、スイッチング用TFT2201のゲートを閉じ、スイッチング用TFT2201を非導通状態にする。その時、保持容量2204に蓄積された電荷は保持される。よって、EL駆動用TFT2202の $V_{gs}$ は、そのまま保持され、 $V_{gs}$ に応じた電流が、EL駆動用TFT2202を経由してEL素子2203に流れ続ける。

【0018】EL素子の駆動等に関しては、SID99 Digest: P372: "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"、ASIA DISPLAY98: P217: "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"、Euro Display99 Late News: P27: "3.8 Green OLED with Low Temperature Poly-Si TFT"などに報告されている。

【0019】  
【発明が解決しようとする課題】近年、ELディスプレイは、その大画面化と並び、さらなる高精細化が求められている。しかし、画素部分を高精細にすべく画素ピッチを縮小することによって、駆動回路の配置スペースを圧迫するという問題点がある。つまり、例えば同サイズのパネルにおいて、VGAからXGAとする場合、水平方向の画素数は640画素から1024画素に増加する。このとき1画素の幅は62.5[%]となり、ソース信号線側駆動回路の1段分の配置幅も62.5[%]まで縮小することになる。

【0020】上記の問題を解決するには、駆動回路のさらなる縮小が必要となってくるが、デザインルール、回路動作の信頼性、歩留まりの点等を考慮すると、容易な解決策とは言い難い。

【0021】よって本発明においては、新規の構造を有する画素を用いて、前述した駆動回路の配置スペースの問題を回避しつつ、さらなる高精細化の可能な電子装置を提供することを課題とする。

【0022】  
【課題を解決するための手段】上述した課題を解決する

ために、本発明においては以下のような手段を講じた。

【0023】通常の画素は、図22(B)に示したように、1画素あたり1本のソース信号線2206と、1本のゲート信号線2205と、1本の電流供給線2207を有していた。本発明の電子装置における画素は、図1に示すように、隣接した2画素の間に1本のソース信号線110を有し、画素Aと画素Bとで共有する。しかし、そのままでは画素Aと画素Bとは常に同じ画像信号しか書き込むことが出来ない。よって、画素選択部113を設け、ソース信号線110に入力される画像信号を、画素Aのスイッチング用TFT101もしくは画素Bのスイッチング用TFT102のいずれか一方にのみ通すようにする。駆動方法について簡潔に説明すると、1水平期間を前半と後半との期間に分割し、前半の期間で画素Aへの書き込みを完了する。その後、後半の期間では画素Bへの書き込みを完了するという手順をとる。

【0024】このような構造とすることで、ソース信号線側駆動回路の段数を、水平方向の画素数の1/2の段数(駆動回路の構成により、ダミー段を有する場合はこの限りではない)とすることが出来るため、高精細化によって画素ピッチが縮小した場合にも、容易に駆動回路の配置が可能となる。

【0025】以下に、本発明の電子装置の構成について記載する。

【0026】請求項1に記載の本発明の電子装置は、ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、前記画素部は、m本のソース信号線と、k本のゲート信号線と、2km個の画素を有し、前記m本のソース信号線はそれぞれ、k個の画素選択部を有し、前記m本のソース信号線の各々は、画素選択部を介して2k個の画素と電気的に接続され、前記2k個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、前記スイッチング用トランジスタの不純物領域は、一方はソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴としている。

【0027】請求項2に記載の本発明の電子装置は、ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、前記画素部は、m本のソース信号線と、k本のゲート信号線と、2km個の画素を有し、前記2km個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に

に接続され、前記スイッチング用トランジスタの不純物領域は、一方は画素選択部を介してソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴としている。

【0028】請求項3に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記ソース信号線側駆動回路は、1水平期間に2回の映像信号の書き込み動作を、m本のソース信号線それぞれに対して行うことを特徴としている。

【0029】請求項4に記載の本発明の電子装置は、請求項1もしくは請求項2において、1個の前記画素選択部には、第1の画素と第2の画素とが電気的に接続され、前記画素選択部は、1水平期間の前半の期間においては第1の画素を選択し、1水平期間の後半の期間においては第2の画素を選択し、ソース信号線から入力される映像信号は、前記画素選択部によって選択されている側の画素にのみ書き込まれることを特徴としている。

【0030】請求項5に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記画素選択部は、Nチャネル型トランジスタと、Pチャネル型トランジスタとを有することを特徴としている。

【0031】請求項6に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記画素選択部は、アナログスイッチを有することを特徴としている。

【0032】請求項7に記載の本発明の電子装置の駆動方法は、1フレーム期間はn個のサブフレーム期間 $SF_1$ 、 $SF_2$ 、 $\dots$ 、 $SF_n$ を有し、前記サブフレーム期間はそれぞれアドレス(書き込み)期間 $T_{a1}$ 、 $T_{a2}$ 、 $\dots$ 、 $T_{an}$ とサステイン(点灯)期間 $T_{s1}$ 、 $T_{s2}$ 、 $\dots$ 、 $T_{sn}$ とを有し、EL素子の発光時間を制御することによってnビットの階調表示を行う電子装置の駆動方法において、前記電子装置の水平方向の画素数が2m個であるとき、1水平期間を2つの期間に分割し、一方の期間においては1、3、 $\dots$ 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われ、残る一方の期間においては2、4、 $\dots$ 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われることを特徴としている。

【0033】請求項8に記載の本発明の電子装置の駆動方法は、請求項7において、1、3、 $\dots$ 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であり、2、4、 $\dots$ 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であることを特徴としている。

【0034】請求項9に記載の本発明の電子装置の駆動方法は、請求項7において、1、3、 $\dots$ 、 $2m-$

3、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であり、2、4、 $\dots$ 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であることを特徴としている。

【0035】

【発明の実施の形態】以下に、本発明の実施形態について述べる。

【0036】本発明の主な構成を図1に示す。図1

(A)中、点線枠で示される部分を図1(B)に拡大して示す。

【0037】本発明の電子装置の有する画素においては、1本のソース信号線110に、2つの画素が接続されている点に特徴がある。2つの画素をそれぞれ、第1のスイッチング用TFT101、第1のEL駆動用TFT103、第1のEL素子105、第1の保持容量107を有する画素Aと、第2のスイッチング用TFT102、第2のEL駆動用TFT104、第2のEL素子106、第2の保持容量108を有する画素Bと表記する。画素選択部113は、ソース信号線から入力される映像信号を、画素Aの第1のスイッチング用TFT101もしくは、画素Bの第2のスイッチング用TFT102にのみ出力する機能を有する。第1のスイッチング用TFT101、第2のスイッチング用TFT102は、前述のようにその極性はNチャネル型でもPチャネル型でも構わない。また、第1のEL駆動用TFT103および第2のEL駆動用TFT104の極性は、前述のようにEL素子の構造に合わせてその極性を決定すればよい。

【0038】ここで、 $m \times k$ 画素を有する電子装置は、 $m/2$ 本のソース信号線と、 $k$ 本のゲート信号線とを有し、ソース信号線を挟んで隣接する2画素が、画素選択部を介してソース信号線と電気的に接続される。ゲート信号線は $k$ 本であるから、ソース信号線1本あたりと接続される画素の数は、 $2 \times (\text{ゲート信号線の本数}) = 2k$ 個である。

【0039】横方向に並んだ画素選択部113は全て一様に動作をする。つまり、図1(A)において、あるゲート信号線選択期間では、まず前半で画素選択部113に信号が入力されると、画素Aへのみ書き込みが行われ、後半になると、画素選択部に再び信号が入力され、画素Bへのみ書き込みが行われる。よって、ソース信号線側駆動回路は、1水平期間内に、画素Aへの書き込み、画素Bへの書き込みと、2回の書き込み動作を行う。

【0040】図2(A)は、通常の電子装置のソース信号線側駆動回路と画素部の1行とを示している。ソース信号線側駆動回路200は、1本のソース信号線の制御を行うためのシフトレジスタ、第1のラッチ回路、第2のラッチ回路を有する部分を1単位とし、それが複数段

繰り返される構造を有する。つまり、水平方向の画素数が $m$ 画素である場合、ソース信号線側駆動回路の段数は画素数に等しく、 $m$ 段を有する。図2(A)において、ソース信号線側駆動回路の1段分の回路を配置出来る幅は、D1で示された幅である。よって、パネルサイズの変更を伴わずに画素数を増やすことによって画素ピッチは狭くなり、必然的にD1も小さくなるため、駆動回路の配置が困難となる。

【0041】図2(B)は、本発明の電子装置のソース信号線側駆動回路と画素部の1行とを示している。ソース信号線側駆動回路210は、1本のソース信号線の制御を行うためのシフトレジスタ、第1のラッチ回路、第2のラッチ回路を有する部分を1単位とし、それが複数段繰り返される構造を有する。水平方向の画素数が $n$ 画素である場合、本発明の構造を有する画素は、1本のソース信号線を共有しているので、図2(B)の回路は、ソース信号線を $m/2$ 本有している。よって、画素数は図2(A)と等しいが、駆動回路の段数は $m/2$ 段とすることが出来る。このとき、図2(B)において、ソース信号線側駆動回路の1段分の回路を配置出来る幅は、D2で示された幅である。画素ピッチが図2(A)、(B)の両者において等しければ、D2はD1のおよそ2倍であるから、高精細化により画素ピッチが狭くなった場合にも、駆動回路の配置は容易である。

【0042】タイミングチャートを用いて、実際の駆動について述べる。駆動方法としては、デジタル階調方式と時間階調方式とを組み合わせた方法で階調表現を行う場合を例にとって説明する。まず、従来の構成の画素を用いた電子装置における駆動方法について述べる。

【0043】図3は、水平 $m \times$ 垂直 $n$ の画素数を有する電子装置において、4ビット( $2^4=16$ )階調、フレーム周波数60[Hz]で映像の表示を行う場合のタイミングチャートである。順を追って説明する。この場合、1秒間に60回、画面の描画を行う。1画面を1回描画する期間が1フレーム期間である。(図3(A))

【0044】1フレーム期間は、複数のサブフレーム期間に分割される。これは、EL素子の点灯時間の和を利用して階調表現を行うためであり、 $k$ ビットの階調表現を行うためには、 $k$ 個のサブフレーム期間を要する。ここでは、4ビット階調であるので、 $SF_1 \sim SF_4$ の4つのサブフレーム期間に分割される。各サブフレーム期間は、アドレス(書き込み)期間とサステイン(点灯)期間とを有する。アドレス(書き込み)期間は、1画面分の信号の書き込みを行う期間であるから、全てのアドレス(書き込み)期間 $T_{a_1} \sim T_{a_4}$ の長さは等しい。サステイン(点灯)期間については、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ とし、どのサステイン(点灯)期間にEL素子を点灯させるかによって階調を表現する。なお、このサブフレーム期間の順番は、順番は関係なく、ランダムにしても構わ

ない。(図3(B))

【0045】アドレス(書き込み)期間においては、1行目から順にゲート信号線が選択され、順次ソース信号線から入力されるデジタル映像信号を画素に書き込む。ゲート信号線1行あたりの選択期間を1水平期間と表記する。最終行までの選択が終了した後、サステイン(点灯)期間に移行し、EL素子が点灯する。(図3(C))

【0046】1水平期間においては、前述したように、ソース信号線側駆動回路が動作し、デジタル映像信号の保持を行う。ドットデータサンプリング期間においては、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、水平方向1列分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へと、デジタル映像信号が転送される。(図3(D))

【0047】以上が、デジタル階調方式と時間階調方式とを組み合わせた方法による駆動方法である。続いて、本発明の電子装置において同様の方法により駆動する場合について説明する。

【0048】図4は、図3と同様、水平 $m \times$ 垂直 $n$ の画素数を有する電子装置において、4ビット( $2^4=16$ )階調、フレーム周波数60[Hz]で画像の表示を行う場合のタイミングチャートである。順を追って説明する。この場合、1秒間に60回、画面の描画を行う。1画面を1回描画する期間が1フレーム期間である。(図4(A))

【0049】1フレーム期間は、複数のサブフレーム期間に分割される。ここでは、4ビット階調であるので、 $SF_1 \sim SF_4$ の4つのサブフレーム期間に分割される。各サブフレーム期間は、アドレス(書き込み)期間とサステイン(点灯)期間とを有する。アドレス(書き込み)期間は、1画面分の信号の書き込みを行う期間であるから、全てのアドレス(書き込み)期間 $T_{a_1} \sim T_{a_4}$ の長さは等しい。サステイン(点灯)期間については、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ とし、どのサステイン(点灯)期間にEL素子を点灯させるかによって階調を表現する。なお、このサブフレーム期間の順番は、順番は関係なく、ランダムにしても構わない。(図4(B))

【0050】アドレス(書き込み)期間においては、1行目から順にゲート信号線が選択され、順次ソース信号線から入力されるデジタル映像信号を画素に書き込む。ゲート信号線1行あたりの選択期間を1水平期間と表記する。最終行までの選択が終了した後、サステイン(点灯)期間に移行し、EL素子が点灯する。ここまでの駆動方法、タイミングに関しては、通常と同様である。(図4(C))

【0051】本発明の電子装置は、1水平期間の前半と後半とで、1本のソース信号線に接続された、異なる2

つの画素に信号の書き込みを行う。1水平期間の前半では、画素選択部によって選択された、1、3、5、...、 $m-3$ 、 $m-1$ 番目の画素(図1に示した画素Aに該当する)について、ドットデータサンプリング期間において、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、画素Aについて水平方向1行分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へのデータの転送がされる。1水平期間の後半では、画素選択部によって選択された、2、4、6、...、 $m-2$ 、 $m$ 番目の画素(図1に示した画素Bに該当する)について、ドットデータサンプリング期間において、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、画素Bについて水平方向1行分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へと、デジタル映像信号が転送される。(図4(D))

【0052】通常、水平方向に $m$ 個の画素を有する場合は、ソース信号線側駆動回路は $m$ 段を有していたが、本発明の構成を用いることにより、 $m/2$ 段にすることが出来る。また、動作周波数を引き上げる必要等も無いため、信頼性の面でも問題はない。よって、画面の高精細化による画素ピッチの狭幅化によって、駆動回路の配置スペースの圧迫などといった、回路設計上の問題を回避することが出来る。

【0053】

【実施例】以下に本発明の実施例について記述する。

【0054】[実施例1]図5は、本発明の電子装置の回路構成例を示している。中央に画素部501が配置されている。画素部501の周囲には、ソース信号線を制御するための、ソース信号線側駆動回路502、ゲート信号線を制御するための、ゲート信号線側駆動回路506および、画素選択部を制御するための画素選択信号線側駆動回路507が配置されている。また、EL素子に電流を供給するための電源部(Supply)が、画素部501の各電流供給線に接続されている。

【0055】図5における画素部501の一部分を拡大したものを図6(A)に示す。図6(A)は、 $8 \times 3$ 画素のマトリクスを示している。点線枠600で囲まれた部分が1単位であり、2画素が含まれる。その拡大図を図6(B)に示す。

【0056】ソース信号線610の左右両側には、第1のスイッチング用TFT601、第1のEL駆動用TFT603、第1のEL素子605、第1の保持容量607を有する画素Aと、第2のスイッチング用TFT602、第2のEL駆動用TFT604、第2のEL素子606、第2の保持容量608を有する画素Bとが配置されている。本実施例においては、スイッチング用TFT601、602にはNチャンネル型TFTを用い、EL駆

動用TFT603、604にはPチャンネル型TFTを用いた例を示している。画素選択部613は、本実施例ではNチャンネル型TFT615と、Pチャンネル型TFT616と、画素選択信号線614とを用いて構成されており、画素選択信号線にHi信号もしくはLo信号を入力することによって、Nチャンネル型TFT615もしくはPチャンネル型TFT616が導通し、ソース信号線610からの信号が画素Aもしくは画素Bに書き込まれる。

【0057】図6と、図7に示すタイミングチャートとを参照して、実際の駆動について説明する。図7(A)では、4ビットの階調表現のため、1フレーム期間を4個のサブフレーム期間に分割している。図7(B)は、図7(A)の中のある1個のサブフレーム期間について、ゲート信号線609と画素選択信号線614の電位を示したものである。

【0058】まず、1行目のゲート信号線が選択される(701)。この1水平期間の前半では、画素選択信号線614にはHi信号が入力され(702)、Nチャンネル型TFT615が導通する。よってこの間は画素Aの側のみ信号の書き込みが行われる(705)。その後、1水平期間の後半で、画素選択信号線614にLo信号が入力されることで、先導通していたNチャンネル型TFT615は非導通状態となり、代わってPチャンネル型TFT616が導通する。よってこの間は画素Bの側のみ信号の書き込みが行われる(706)。

【0059】やがて最終行のゲート信号線が選択される(703)、最終行での信号の書き込みが完了すると、そのサブフレーム期間のアドレス(書き込み)期間が終了し、サステイン(点灯)期間において、EL素子605、606の点灯が始まる。サステイン(点灯)期間は、次のアドレス(書き込み)期間で、再び1行目のゲート信号線が選択される(710)まで続く。以上の動作を全てのサブフレーム期間で行うことにより、画像の表示を行う。

【0060】図6(A)に示した構造によると、R、G、B3色に対応した画素を有するカラー表示用の電子装置にも容易に適用出来る。各画素は、EL素子の横に付したR、G、Bに対応しているとする。EL素子は、R、G、Bの各色において、その電圧-輝度特性が異なるため、同一の輝度を得るには、各電流供給線630、640、650、660、670、680には異なる電位を与える必要がある。具体的には、電流供給線630、660にはRに対応した電位を、電流供給線640、670にはGに対応した電位を、電流供給線650、680にはBに対応した電位を与える。ソース信号線635にはRとGの信号を入力し、ソース信号線645にはBとRの信号を入力し、ソース信号線655にはGとBの信号を入力してやれば良い。

【0061】また、本実施例においては、画素Aと画素Bとの選択を行う際に、Nチャンネル型TFTとPチャネ

ル型TFTとを用いて行っているが、配置に余裕があるならば、アナログスイッチ等を用いて同様の操作を行う構成をとっても良いし、ゲート信号線を2本並行に配置して、画素A側のスイッチング用TFTは第1のゲート信号線の選択時に導通し、画素B側のスイッチング用TFTは第2のゲート信号線の選択時に導通するようにしても良い。

【0062】[実施例2]時間階調方式では、図8(A)に示すように、各サブフレーム期間で、1画面分の書き込みが終了した後にサステイン(点灯)期間が始まる。つまり、アドレス(書き込み)期間とサステイン(点灯)期間とは、完全に分離している。

【0063】この方式のメリットは、アドレス(書き込み)期間の長さに関係なく、サステイン(点灯)期間の長さを決めることが出来る点にある。時間階調方式では、サステイン(点灯)期間の長さを、 $Ts1:Ts2:\dots:Tsn=2^{(n-1)}:2^{(n-2)}:\dots:1$ として、点灯時間の長さを制御することで階調表現を行う。つまり、1フレーム期間の長さを固定したままで多階調化を図るには、最小単位のサステイン(点灯)期間をより短くする必要がある。このような場合にも、容易にサステイン(点灯)期間の長さを決めることが出来る。

【0064】反面、デメリットとして、アドレス(書き込み)期間においては、画面内のいずれの画素も点灯しないため、デューティ比(1フレーム期間の長さに対する、全てのサステイン(点灯)期間の合計長さの比)が低下する点がある。前述のように、サステイン(点灯)期間の長さを自由に決めることが出来る反面、多階調化によってアドレス(書き込み)期間の数が増加すると、さらにデューティ比を低下させることになり、これを解決するには駆動回路の動作周波数を引き上げてアドレス(書き込み)期間自体を短くする以外に無く、実際にはこの方式で多階調化を図るには限界がある。また、ある行でゲート信号線が選択されている間、他の行(801で示す領域)では書き込みも点灯も行われていないことになることから、フレーム期間内に無駄が多くなる点も挙げられる。

【0065】そこで、図8(B)に示すように、アドレス(書き込み)期間とサステイン(点灯)期間とが一部重複するような駆動方式を挙げる。この方式によると、例えばk行目のゲート信号線が選択され、画素への信号の書き込みが終了すると、直ちにk行目のEL素子はサステイン(点灯)期間に入る。そして次にk行目のゲート信号線が選択されるまでの間、サステイン(点灯)期間が継続する。つまり、k行目のゲート信号線が選択されている期間においては、k行目を除く全ての行のEL素子はサステイン(点灯)期間にあるということである。よって、デューティ比を高くすることが出来るため、多階調化を図る際にも有効な方式である。

【0066】ただし、異なるサブフレームのアドレス（書き込み）期間同士が重複すると、同時に異なる複数のゲート信号線が選択されることになるため、正常に映像信号の書き込みが行えない。よって、図8（B）のような方式では、サステイン（点灯）期間の長さの最小単位は少なくとも、1行目のゲート信号線の選択が終了してから、最終行のゲート信号線の選択が終了するまでの期間（802）よりも長くする必要がある。

【0067】図6と、図9に示すタイミングチャートとを参照して、図8（B）にて示した方式による実際の駆動について説明する。図9（A）では、4ビットの階調表現のため、1フレーム期間を4個のサブフレーム期間に分割している。図9（B）は、図9（A）の中のある1個のサブフレーム期間について、ゲート信号線609と画素選択信号線614の電位を示したものである。

【0068】まず、1行目のゲート信号線が選択される（901）。この1水平期間の前半では、画素選択信号線614にはH1信号が入力され（902）、Nチャンネル型TFT615が導通する。よってこの間は画素Aの側にのみ信号の書き込みが行われる（905）。その後、1水平期間の後半で、画素選択信号線614にLO信号が入力されることで、先程導通していたNチャンネル型TFT615は非導通状態となり、代わってPチャンネル型TFT616が導通する。よってこの間は画素Bの側にのみ信号の書き込みが行われる（907）。ここで、画素Bに信号の書き込みが行われている時には、画素Aは既にサステイン（点灯）期間に入っている（906）。画素Bも、信号の書き込みが終了したらただちにサステイン（点灯）期間に入る（908）。

【0069】以上の動作が各行のゲート信号線の選択ごとに繰り返され、最終行において、1水平期間の前半と後半に、それぞれ画素A、画素Bへの書き込みが行われて（909、911）、アドレス（書き込み）期間は終了する。たとえば、k行目の画素Aにおけるサステイン（点灯）期間は、次のアドレス（書き込み）期間で、再びk行目のゲート信号線が選択され、その前半で画素Aへの信号の書き込みが始まる（915）直前まで続く。以上の動作を全てのサブフレーム期間で行うことにより、画像の表示を行う。

【0070】ここまでの説明で明らかになったように、k行目のゲート信号線が選択されている期間においては、k行目を除くゲート信号線によって制御されている画素は、すべてサステイン（点灯）期間に入っている。さらにその時、k行目において、1水平期間の前半で画素Aに信号の書き込みが行われている時には、画素Bはまだサステイン（点灯）期間にあり、1水平期間の後半で画素Bに信号の書き込みが行われる時には、画素Aはサステイン（点灯）期間に入っている。よって、実施例1にて説明したタイミングに比べて、デューティ比を大幅に高くすることが出来る。

【0071】図6（A）に示した構造によると、R、G、B3色に対応した画素を有するカラー表示用の電子装置にも容易に適用出来る。各画素は、EL素子の横に付したR、G、Bに対応しているとする。EL素子は、R、G、Bの各色において、その電圧-輝度特性が異なるため、同一の輝度を得るには、各電流供給線630、640、650、660、670、680には異なる電位を与える必要がある。具体的には、電流供給線630、660にはRに対応した電位を、電流供給線640、670にはGに対応した電位を、電流供給線650、680にはBに対応した電位を与える。ソース信号線635にはRとGの信号を入力し、ソース信号線645にはBとRの信号を入力し、ソース信号線655にはGとBの信号を入力してやれば良い。

【0072】[実施例3]モノクロ階調表示用の電子装置の場合には、カラー表示用の電子装置と異なり、EL素子の発光色ごとの電圧-輝度特性が関係しないため、図10（A）（B）に示すように、電流供給線1030、1040、1050、1060を隣接した画素同士で共有することが容易に出来る。本発明の電子装置は、特に高精細化によって画素ピッチが狭くなる点を課題の出発点としているが、画素ピッチが狭くなると、当然開口率の低下を招くことは明らかであり、本実施例にて示したように、電流供給線を共有して配線本数を減少させることは大変有効かつ容易な手段であるといえる。

【0073】[実施例4]実施例2で、アドレス（書き込み）期間とサステイン（点灯）期間とを完全に分離しないタイミングについては、サステイン（点灯）期間の最小単位長さに制限があることとその理由を説明した。本実施例では、その解決方法と実際の駆動について説明する。

【0074】図11（A）は、図8（B）と同じ、4ビットの階調表示を行う場合のタイミングチャートであるが、Tsの長さが、前述した最小単位長さよりも短いため、アドレス（書き込み）期間Taと、次のフレーム期間のSF1におけるアドレス（書き込み）期間Taとが、1101で示す期間で重複している。この期間では、異なる複数のゲート信号線が同時に選択されることになり、同一の信号が画素に書き込まれるため、正常な画像の表示が行われなくなる。

【0075】そこで、図11（B）に示すように、アドレス（書き込み）期間の重複が起る部分で、サステイン（点灯）期間の終了後、強制的に非表示期間1102を設ける。この非表示期間1102においては、画素に書き込まれた信号には関係なく、EL素子は消灯する。このようにすることで、複数のアドレス（書き込み）期間が重複することを回避することが出来る。

【0076】続いて、図11（B）にて示した非表示期間を設ける方法について説明する。まず、非表示期間を設ける方法について説明する。ここで説明する方法によ

り非表示期間を設ける場合には、特別な回路は必要としない。したがって、図6、図10に示したような本発明を適用した画素であっても、図22に示したような通常の画素であっても実施が可能である。ここでは、図12(A)(B)を用いて説明する。

【0077】図12(A)はEL駆動用TFT周辺の回路図である。EL素子1205の発光は、EL素子1205に電流が流れることでなされる。この電流は、EL駆動用TFT1202のソース領域とドレイン領域間に電位差(今後、この電位差を、ソース・ドレイン間電圧と表記する)があること、つまり、電流供給線1201と陰極配線1206との間に電位差があることで流れる。よって、通常のサステイン(点灯)期間においては、電流供給線1201の電位に対し、陰極配線1206の電位は低くなっている。そこで、非表示期間において、この陰極配線1206の電位を、電流供給線1201の電位と同電位まで引き上げる。この操作により、EL駆動用TFT1202のソース・ドレイン間電圧は0となり、EL素子1205には電流が流れなくなって消灯する。(図12(B))この非表示期間中は、画素に書き込まれる信号に関係なく、強制的にEL素子1205を消灯させておくことが出来る。

【0078】図13は、4ビット階調表示を、図11(B)に示したようなタイミングで行う場合の、ゲート信号線、画素選択信号線および陰極配線の電位を示している。最下位ビット分のサブフレームであるSF<sub>0</sub>のサステイン(点灯)期間T<sub>s</sub>がT<sub>a</sub>よりも短いため、非表示期間(今後、クリア期間と表記する)を設けてアドレス(書き込み)期間の重複を回避する。図13中、実線で示されているサステイン(点灯)期間は、1水平期間の前半に書き込みの行われる画素Aについてのものであり、破線で示されているサステイン(点灯)期間は、1水平期間の後半に書き込みの行われる画素Bについてのものである。

【0079】SF<sub>0</sub>～SF<sub>3</sub>は、前述したとおりの方法によって正常に駆動することが出来るので、ここでは説明を省略する。SF<sub>0</sub>において、1水平期間の前半で画素Aへの書き込みがなされ、直ちにサステイン(点灯)期間T<sub>s</sub>に入る。その後、1水平期間の後半で画素Bへの書き込みがなされ、直ちにサステイン(点灯)期間T<sub>s</sub>4に入る。T<sub>s</sub>が終了するタイミングで、クリア期間T<sub>c</sub>を設ける。陰極配線の電位を上げ、電流供給線の電位と同電位とすることにより、EL駆動用TFTのソース・ドレイン間電圧が0となり、EL素子が消灯する。その後、SF<sub>0</sub>におけるアドレス(書き込み)期間が完全に終了するまで、このクリア期間は継続される。

【0080】以上のような駆動方法によって、前述したような、サステイン(点灯)期間が短いために、通常の駆動方法ではアドレス(書き込み)期間が重複するようなタイミングであっても、正常な画像の表示が可能とな

る。これにより、さらなる多階調化を実現することが出来る。

【0081】また、図13に示したタイミングでは、画素Aおよび画素Bにおけるクリア期間T<sub>c</sub>の開始のタイミングが同時であるため、わずかながら画素Bのサステイン(点灯)期間が短くなっていることがわかる。これを回避するには、陰極配線を2系統とし、陰極配線の電位を上げるタイミングを画素Aと画素Bとでずらしてやれば容易に回避が可能である。

【0082】また、EL駆動用TFTのソース・ドレイン間電圧を0とするには、陰極配線の1206の電位は固定とし、電流供給線1201の電位を変化させる方法を用いても良い。具体的には、通常のサステイン(点灯)期間においては、陰極配線1206の電位よりも電流供給線1201の電位は高く(低く)なっており、EL素子に電流が流れる。非表示期間において、電流供給線1201の電位を低く(高く)し、陰極配線の電位と同電位とする。これによって、前述の方法と同様、EL素子には電流が流れなくなって消灯する。

【0083】[実施例5]本実施例では、本発明の電子装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本構成回路であるCMOS回路を図示することとする。

【0084】まず、図14(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜5002aを10～200[nm](好ましくは50～100[nm])形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm](好ましくは100～150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0085】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm](好ましくは30～60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0086】レーザー結晶化法で結晶質半導体膜を作製

するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100~400 [mJ/cm<sup>2</sup>] (代表的には200~300 [mJ/cm<sup>2</sup>])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10 [kHz]とし、レーザーエネルギー密度を300~600 [mJ/cm<sup>2</sup>] (代表的には350~500 [mJ/cm<sup>2</sup>])とする。そして幅100~1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98 [%]として行う。

【0087】次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO<sub>2</sub>とを混合し、反応圧力40 [Pa]、基板温度300~400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5~0.8 [W/cm<sup>2</sup>]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0088】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100 [nm]の厚さに形成し、第2の導電膜5009をWで100~300 [nm]の厚さに形成する。

【0089】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20 [μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180 [μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50 [nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることが出来る。

【0090】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [μΩcm]を実現することが出来る。

【0091】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0092】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とC<sub>4</sub>F<sub>8</sub>を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF (13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とC<sub>4</sub>F<sub>8</sub>を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0093】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20 [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1



の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図14(A))

【0094】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{11} \sim 5 \times 10^{12}$  [atoms/cm<sup>2</sup>]とし、加速電圧を60~100 [keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{10} \sim 1 \times 10^{11}$  [atoms/cm<sup>2</sup>]の濃度範囲でN型を付与する不純物元素を添加する。

(図14(B))

【0095】次に、図14(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>とO<sub>2</sub>を用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031

(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0096】W膜とTa膜のCF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF<sub>6</sub>が極端に高く、その他のWC<sub>2</sub>F<sub>6</sub>、TaF<sub>5</sub>、TaCl<sub>5</sub>は同程度である。従って、CF<sub>4</sub>とC<sub>2</sub>F<sub>6</sub>の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO<sub>2</sub>を添加するとCF<sub>4</sub>とO<sub>2</sub>が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O<sub>2</sub>を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0097】そして、図15(A)に示すように第2の

ドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120 [keV]とし、 $1 \times 10^{11}$  [atoms/cm<sup>2</sup>]のドーピング量で行い、図14(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5030を不純物元素に対するマスクとして用い、第1の導電層5026a~5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032~5036が形成される。この第3の不純物領域5032~5036に添加されたリン(P)の濃度は、第1の導電層5026a~5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5030aのテーパー部と重なる半導体層において、第1の導電層5026a~5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0098】図15(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF<sub>3</sub>を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a~5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037~5042(第1の導電層5037a~5042aと第2の導電層5037b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037~5042で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0099】第3のエッチング処理によって、第3の不純物領域5032~5036においては、第1の導電層5037a~5041aと重なる第3の不純物領域5032a~5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b~5036bとが形成される。

【0100】そして、図15(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043~5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10$

$10 \sim 2 \times 10^{11}$  [atoms/cm<sup>2</sup>] となるようにする。

【0101】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042はソース信号線として機能する。

【0102】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。10  
その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0103】さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0104】次いで、図16(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057～5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング形成する。

【0105】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 [μm](さらに好ましくは2～4 [μm])とすれば良い。

【0106】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023またはP型の不純物領域5043～5054に達するコンタクトホ

ール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0107】また、配線(接続配線、信号線を含む)5057～5062、5064として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0108】また、本実施例では、画素電極5063としてITO膜を110 [nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20 [%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。(図16(A))

【0109】次に、図16(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500 [nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0110】次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80～200 [nm](典型的には100～120 [nm])、陰極5067の厚さは180～300 [nm](典型的には200～250 [nm])とすれば良い。

【0111】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いず各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0112】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0113】ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0114】なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0115】次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0116】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0117】こうして図16(B)に示すような構造のELディスプレイが完成する。なお、本実施例におけるELディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0118】ところで、本実施例のELディスプレイは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0119】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0120】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（L<sub>ov</sub>領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（L<sub>os</sub>領域）および

チャネル形成領域を含む。

【0121】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0122】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、L<sub>ov</sub>領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0123】なお、実際には図16(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0124】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このように出荷出来る状態にまでした状態を本明細書中では電子装置という。

【0125】また、本実施例で示す工程に従えば、電子装置の作製に必要なフォトリソの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0126】[実施例6]本実施例においては、本発明の電子装置を作製した例について説明する。

【0127】図17(A)は本発明を用いた電子装置の上面図であり、図17(A)をX-X'面で切断した断面図を図17(B)に示す。図17(A)において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0128】このとき、画素部4002においては、好ましくは駆動回路および画素部を囲むようにしてカバー

10

20

30

40

50

材4009、密封材4010、シーリング材（ハウジング材ともいう）4011（図9（B）に図示）が設けられている。

【0129】また、図17（B）は本実施例の電子装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT（但し、ここではNチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路を図示している）4013および画素部用TFT4014（但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している）が形成されている。これらのTFTは公知の構造（トップゲート構造あるいはボトムゲート構造）を用いれば良い。

【0130】公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4015の上に画素部用TFT4014のドレインと電気的に接続する透明導電膜でなる画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0131】次に、EL層4018を形成する。EL層4018は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0132】本実施例では、シャドウマスクを用いて蒸着法によりEL層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層および青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置とすることもできる。

【0133】EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気中で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0134】なお、本実施例では陰極4019として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[nm]厚のLiF（フッ化リチウム）膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

【0135】4020に示された領域において陰極4019と配線4007とを電気的に接続するために、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとする事ができる。

【0136】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0137】さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

【0138】このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0139】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0140】スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0141】また、カバー材4009としては、ガラス

板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[nm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0142】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4009が透光性を有する必要がある。

【0143】また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通してFPC4008に電気的に接続される。

【0144】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露出面)を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10<sup>-4</sup> [Torr] 以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0145】[実施例7]ところで本発明の電子装置における画素部のさらに詳細な断面構造を図18に示す。

【0146】図18において、基板4501上に設けられたスイッチング用TFT4502は本実施例では公知の方法で形成されたNチャンネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0147】また、EL駆動用TFT4503は公知の方法で形成されたNチャンネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4504は配線(図示せず)によってEL駆動用TFT4503のゲート電極4506に電気的に接続されている。

【0148】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。

さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0149】また、EL駆動用TFT4503のゲート電極4506を含む配線(図示せず)は、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4506にかかる電圧を保持する機能を有する。

【0150】スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4514が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4515が形成される。

【0151】4517は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、EL駆動用TFT4503のドレイン領域に一部が覆い被さるように形成され、電気的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0152】次に有機樹脂膜4516を画素電極4517上に形成し、画素電極4517に面する部分をパターンニングした後、発光層4519が形成される。なおここでは図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0153】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder and H. Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0154】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150 [nm] (好ましくは40~100 [nm]) とすれば良い。

【0155】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光およびそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0156】例えば、本実施例ではポリマー系材料を

光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0157】陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522および陽極4523で形成された保持容量とを指す。

【0158】ところで、本実施例では、陽極4523の上にさらにパッシベーション膜4524を設けている。パッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

【0159】以上のように本実施例において説明してきた電子装置は図18のような構造の画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強いEL駆動用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

【0160】本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTFTが形成された基板の逆方向に向かって放射される。

【0161】[実施例8]本実施例においては、実施例7の図18に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図19を用いる。なお、図18の構造と異なる点はEL素子の部分とTFT部分だけであるので、その他の説明は省略することとする。

【0162】図19において、スイッチング用TFT4502は公知の方法で形成されたNチャネル型TFTを用いる。EL駆動用TFT4503は公知の方法で形成されたPチャネル型TFTを用いる。

【0163】本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0164】そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。

【0165】その後、実施例7と同様に、有機EL材料の酸化を防止するためのパッシベーション膜4532が

形成され、こうしてEL素子4531が形成される。

【0166】本実施例において説明した構造を有するEL素子の場合、発光層4528で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0167】[実施例9]実施例7、実施例8において示した電子装置は、駆動回路を構成するTFTに逆スタガ型TFTを用いても、容易に作成することが出来る。図20を参照して説明する。なお、実施例7、実施例8と共通する部位に関しては、図18、図19と同様の番号を付す。

【0168】図20において、基板4501上に設けられたスイッチング用TFT4502は本実施例では公知の方法で形成されたNチャネル型TFTを用いる。本実施例ではシングルゲート構造としているが、ダブルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、スイッチング用TFT4502は、ソース領域とドレイン領域との両側に、ゲート電極と重複する部分と重複しない部分とに渡ってLDD領域が設けられていても良い。特にLDD領域を設けないTFTを用いても良い。

【0169】また、EL駆動用TFT4503は公知の方法で形成されたPチャネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4533は配線（図示せず）によってEL駆動用TFT4503のゲート電極4534に電気的に接続されている。

【0170】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0171】また、EL駆動用TFT4503のゲート電極4534を含む配線（図示せず）は、EL駆動用TFT4503のソース配線4535と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4534にかかる電圧を保持する機能を有する。

【0172】スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4536が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4537が形成される。

【0173】その後、実施例7、実施例8と同様に、画素電極（陽極）4538、発光層4539、電子注入層4540、陰極4541、パッシベーション膜4542が形成され、EL素子4531が形成される。

【0174】本実施例において説明した構造を有するEL素子の場合、発光層4539で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって

放射される。

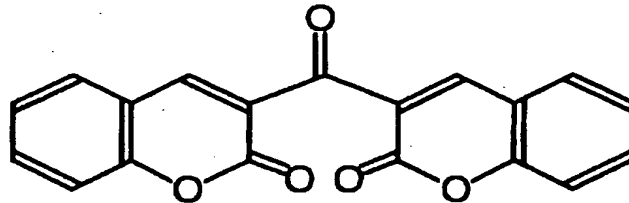
【0175】[実施例10]本発明において、三重項励起子からの燐光を蛍光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0176】ここで、三重項励起子を利用し、外部発光\*

\*量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.) 上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0177】

【化1】

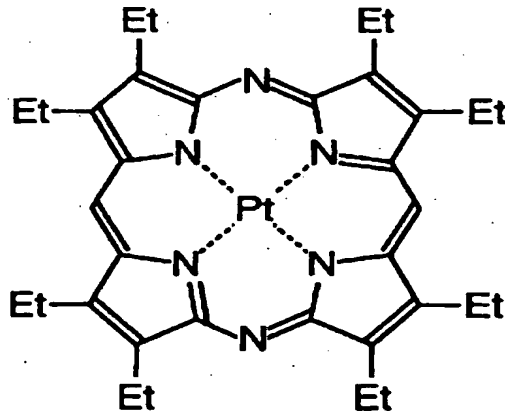


【0178】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0179】

【化2】



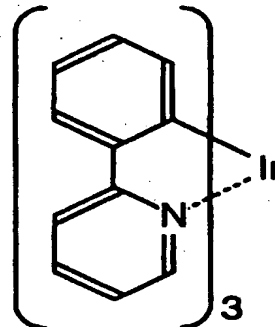
【0180】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0181】

【化3】



【0182】以上のように三重項励起子からの燐光蛍光を利用できれば原理的には一重項励起子からの蛍光蛍光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0183】[実施例11]本発明の電子装置およびその駆動方法を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のELディスプレイの表示部において本発明の電子装置およびその駆動方法を用いると良い。

【0184】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の電子装置およびその駆動方法を用いることが出来る。

【0185】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレイ)、ナビゲーションシステム、

音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図23および図24に示す。

【0186】図23（A）はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置およびその駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0187】図23（B）はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置およびその駆動方法は表示部3312にて用いることが出来る。

【0188】図23（C）はヘッドマウントELディスプレイの一部（右片側）であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置およびその駆動方法は表示装置3326にて用いることが出来る。

【0189】図23（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3331、記録媒体（DVD等）3332、操作スイッチ3333、表示部（a）3334、表示部（b）3335等を含む。表示部（a）3334は主として画像情報を表示し、表示部（b）3335は主として文字情報を表示するが、本発明の電子装置およびその駆動方法はこれら表示部（a）3334、表示部（b）3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0190】図23（E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置およびその駆動方法は表示部3342にて用いることが出来る。

【0191】図23（F）はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置およびその駆動方法は表示部3353にて用いることが出来る。

【0192】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投

影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0193】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0194】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0195】図24（A）は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の電子装置およびその駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0196】図24（B）は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の電子装置およびその駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0197】図24（C）はデジタルカメラであり、本体3501、表示部（A）3502、接眼部3503、操作スイッチ3504、表示部（B）3505、バッテリー3506を含む。本発明の電子装置は、表示部（A）3502、表示部（B）3505にて用いることが出来る。また、表示部（B）3505を、主に操作パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0198】また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0199】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例10に示したいずれの構成を適用しても良い。

【発明の効果】通常、水平方向にm個の画素を有する場

10

20

30

40

50



合は、ソース信号線側駆動回路は $m$ 段を有していたが、本発明の構成を用いることにより、 $m/2$ 段にすることが出来る。また、動作周波数を引き上げる必要等も無いため、信頼性の面でも問題はない。よって、画面の高精細化による画素ピッチが狭くなることによって、駆動回路の配置スペースを圧迫されることによる設計上の問題を回避することが出来、電子装置の高精細化に大いに貢献出来る。

【0200】また、画素部でソース信号線を共用することで全体の配線数を減らすことも可能であり、開口率の面においても通常の構造の画素部よりも有利となる点もあるといえる。

#### 【図面の簡単な説明】

- 【図1】 本発明の電子装置の画素の構成を示す図。  
 【図2】 従来の電子装置と本発明の電子装置との間の、駆動回路の段数の違いを示す図。  
 【図3】 時間階調方式によるタイミングチャートを示す図。  
 【図4】 本発明の電子装置における、時間階調方式によるタイミングチャートを示す図。  
 【図5】 実施例1に示した、本発明の電子装置の回路構成例を示す図。  
 【図6】 実施例1に示した、本発明の電子装置の画素部の回路構成例を示す図。  
 【図7】 実施例1に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。  
 【図8】 実施例2に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。

\*【図9】 実施例2に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。

【図10】 実施例3に示した、本発明の電子装置の画素部の回路構成例を示す図。

【図11】 実施例4に示した、非表示期間を設ける駆動方法に関するタイミングチャートを示す図。

【図12】 EL駆動用トランジスタのソース・ドレイン間電圧とEL素子の点灯の関係を説明する図。

【図13】 実施例4に示した、非表示期間を設ける駆動方法に関するタイミングチャートを示す図。

【図14】 実施例5に示した、本発明の電子装置の作成工程例を示す図。

【図15】 実施例5に示した、本発明の電子装置の作成工程例を示す図。

【図16】 実施例5に示した、本発明の電子装置の作成工程例を示す図。

【図17】 実施例6に示した、電子装置の上面および断面を示す図。

【図18】 実施例7に示した、電子装置の断面図。

【図19】 実施例8に示した、電子装置の断面図。

【図20】 実施例9に示した、電子装置の断面図。

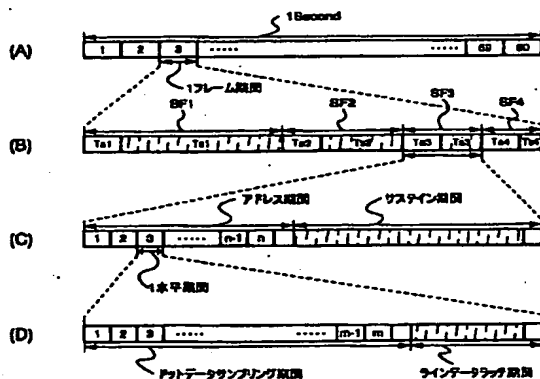
【図21】 電子装置の回路構成例を示す図。

【図22】 通常の電子装置における画素部の構成を示す図。

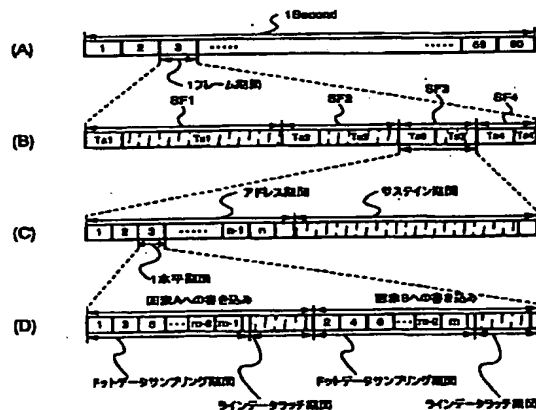
【図23】 実施例11に示した、本発明の電子装置を適用した電子機器の例を示す図。

【図24】 実施例11に示した、本発明の電子装置を適用した電子機器の例を示す図。

【図3】

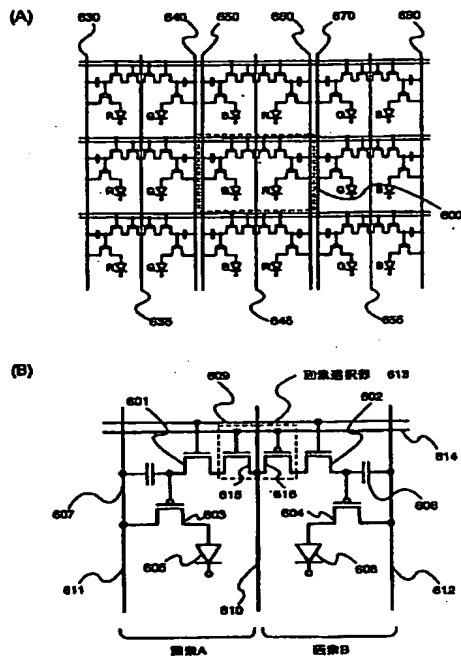


【図4】

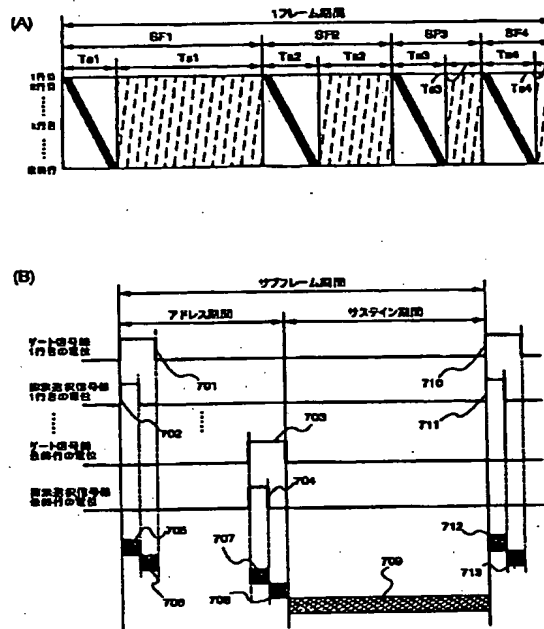




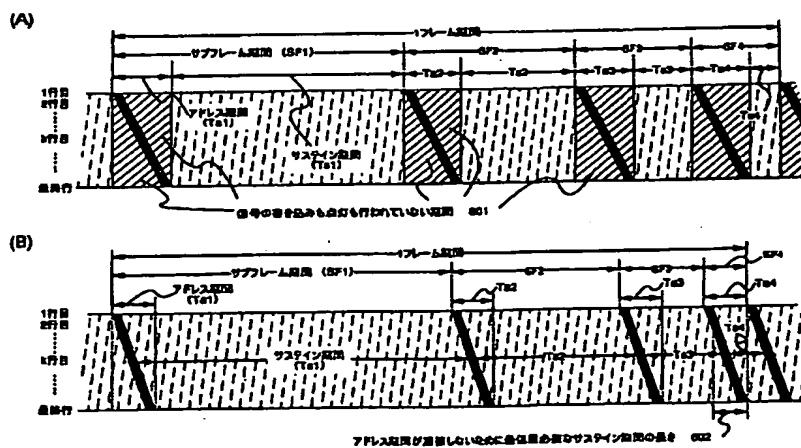
【図6】



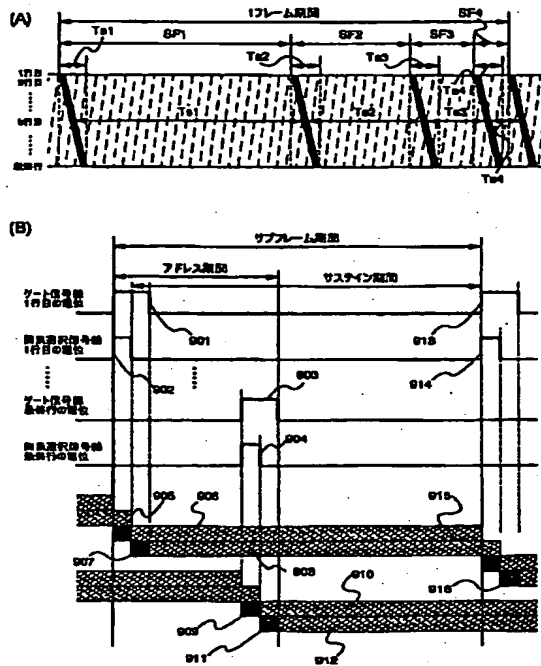
【図7】



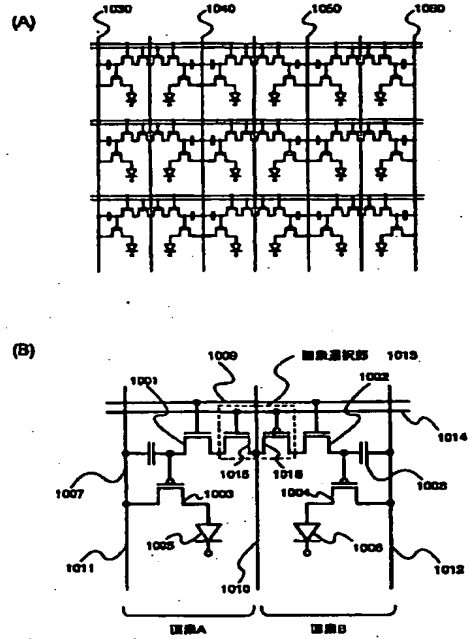
【図8】



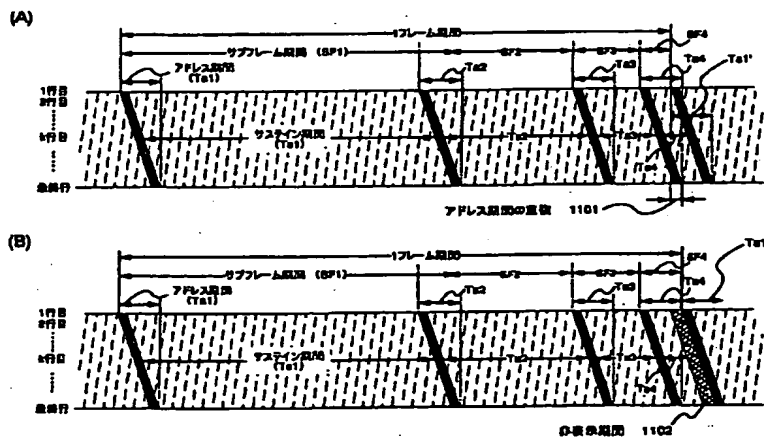
【図9】



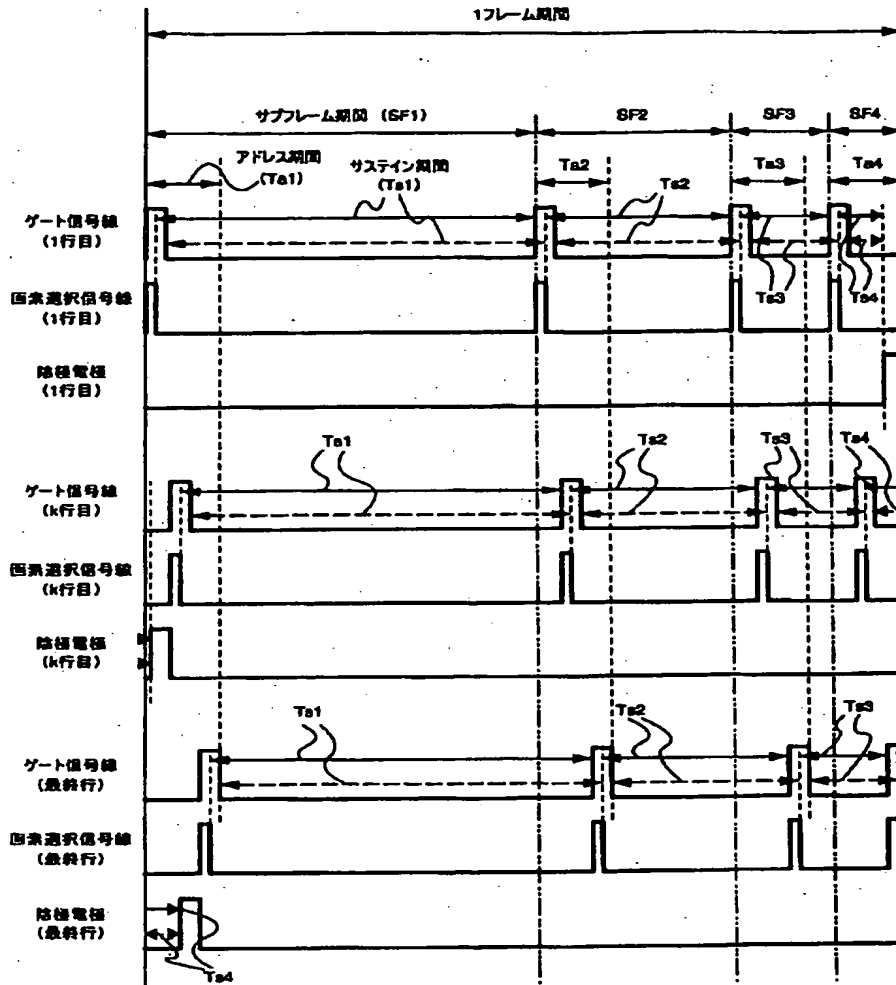
【図10】



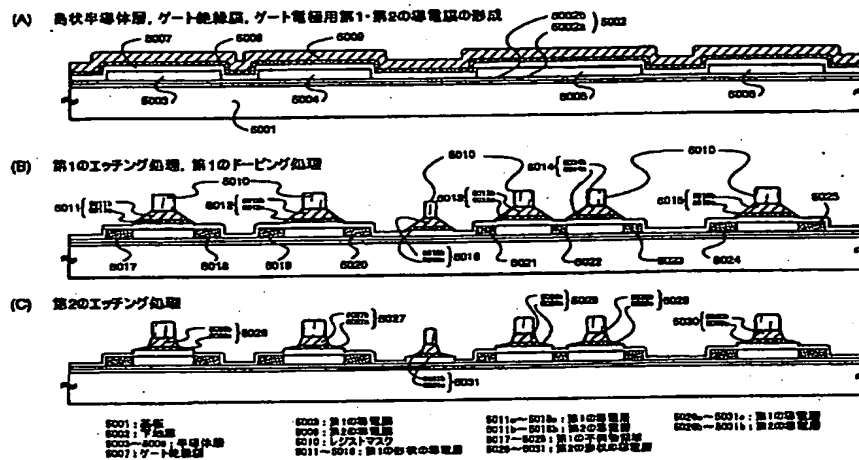
【図11】



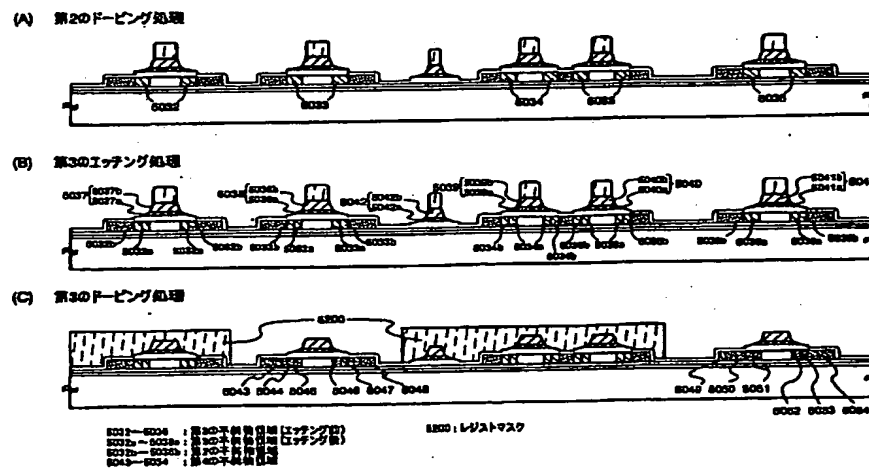
【図13】



【図14】

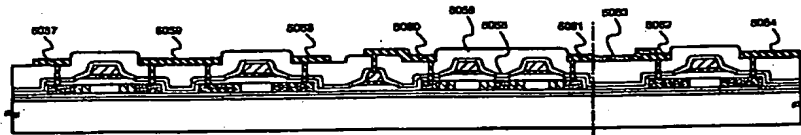


【図15】

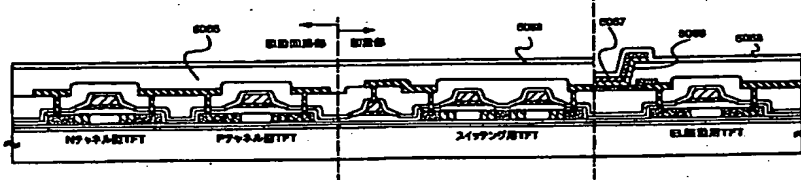


【図16】

(A) 第1、第2の層間絶縁膜、配線、開路電極形成



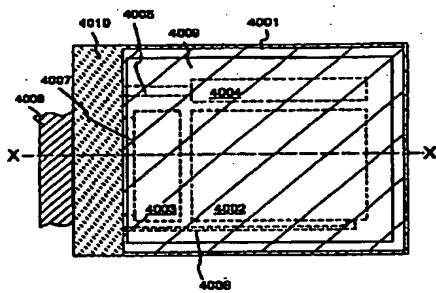
(B) 第3の層間絶縁膜、EL層、発光電極、パッシベーション膜形成



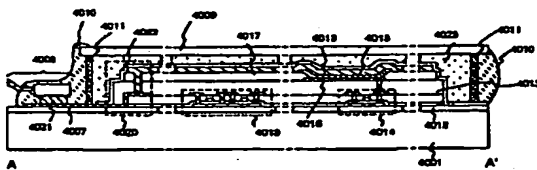
6035: 第1の層間絶縁膜  
6036: 第2の層間絶縁膜  
6037: パッシベーション膜  
6038: EL層  
6039: 発光電極  
6030: 配線  
6031: 開路電極  
6033: 第3の層間絶縁膜  
6034: パッシベーション膜

【図17】

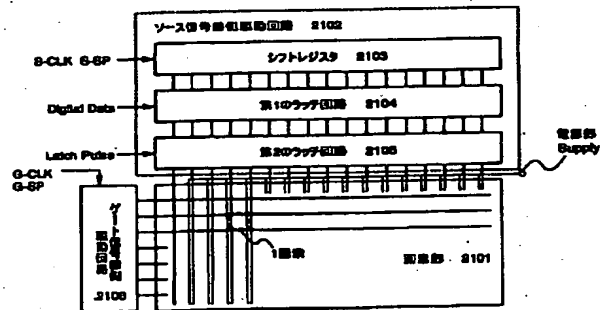
(A)



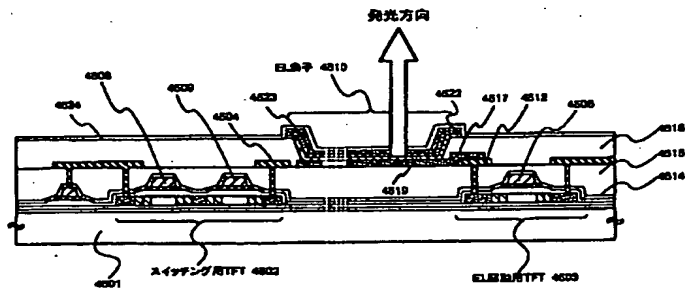
(B)



【図21】

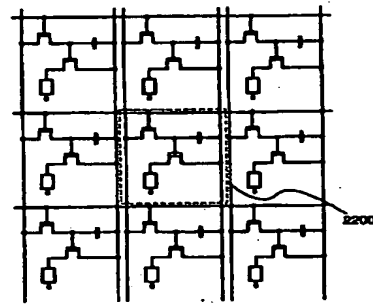


【図18】

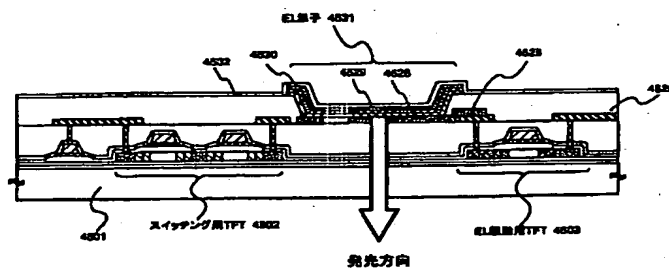


【図22】

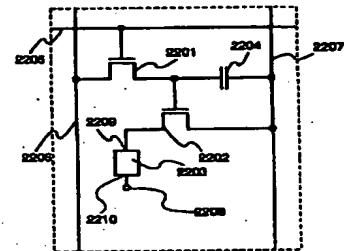
(A)



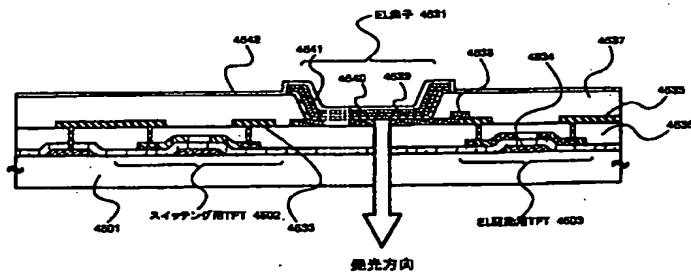
【図19】



(B)

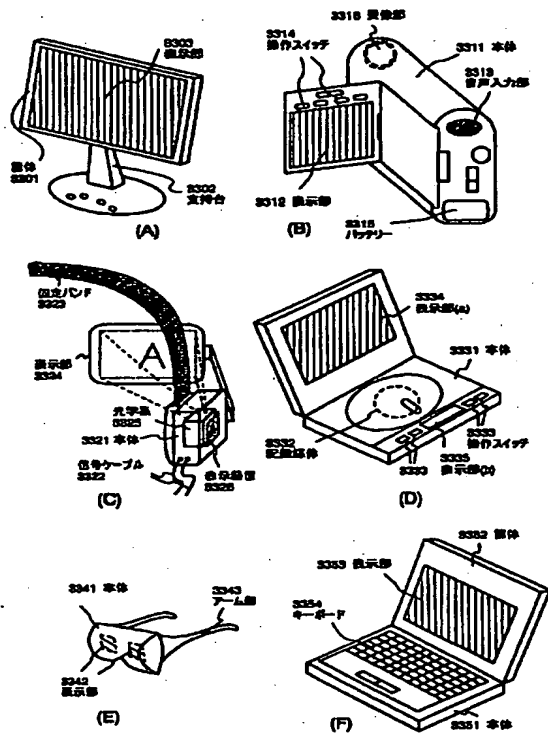


【図20】

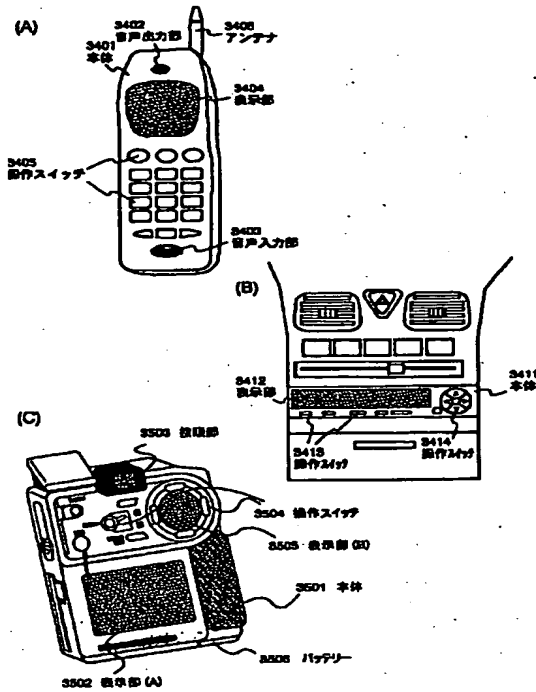




【図23】



【図24】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/20識別記号  
6 2 4  
6 4 1  
6 8 0H 0 5 B 33/08  
33/14F I  
G 0 9 G 3/20H 0 5 B 33/08  
33/14

キーワード (参考)

6 2 4 B  
6 4 1 F  
6 8 0 P  
6 8 0 S  
6 8 0 V

A

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**